МИНИСТЕРСТВО ЦИФРОВОГО РАЗВИТИЯ,
СВЯЗИ И МАССОВЫХ КОММУНИКАЦИЙ

Федеральное государственное образовательное бюджетное учреждение высшего образования
«Санкт-Петербургский государственный университет телекоммуникаций им. проф. М. А. Бонч-Бруевича»

УТВЕРЖДАЮ
Первый проректор-проректор по учебной работе
_____ А. В. Абилов
«_____» _____2023 г.

Регистрационный № 13-2023

ДОПОЛНИТЕЛЬНАЯ ПРОФЕССИОНАЛЬНАЯ ПРОГРАММА
ПОВЫШЕНИЯ КВАЛИФИКАЦИИ

«Структурное программирование в системах на кристалле»

Санкт-Петербург
2023 г.

1. Цель реализации программы

Целью реализации программы является освоение новых и качественное изменение профессиональных компетенций, необходимых для выполнения следующих видов профессиональной деятельности в рамках имеющейся квалификации:

– Формирование знаний о структуре и возможностях ПЛИС. Получение навыков обращения к встроенным в ПЛИС блокам памяти при формировании многомодульных схем.

2. Требования к результатам обучения

В результате освоения программы слушатель должен приобрести следующие знания и умения, необходимые для усвоения новых и качественного изменения компетенций, указанных в п. 1:

слушатель должен знать:

- способы осуществления компьютерного моделирования устройств, систем и процессов с использованием универсальных пакетов прикладных компьютерных программ;
- способы применения современных теоретических и экспериментальных методов исследования с целью создания новых перспективных средств электросвязи и вычислительной техники;
- принципы, методики и инструменты моделирования, анализа и оптимизации бизнес-процессов;

слушатель должен уметь:

– осуществлять компьютерное моделирование устройств, систем и процессов с использованием универсальных пакетов прикладных компьютерных программ;

- применять современные теоретические и экспериментальные методы исследования с целью создания новых перспективных средств электросвязи и вычислительной техники

3. Содержание программы[1]

Категория слушателей – высшее образование, преподаватели высшей школы.

Срок обучения – 36 часов.

Форма обучения – очная.

---

[1] Наличие учебной программы носит рекомендательный характер, определяется объемом программы, требованиями заказчика и т.д.

Учебный план
программы повышения квалификации
«Структурное программирование в системах на кристалле»

№ п/п	Наименование модулей	Всего, час.	В том числе		
			лекции	Практич. и лаборат. занятия	Самостоятельная работа
1	Структура ПЛИС FPGA. Основы программирования на Verilog HDL и освоение работы с пакетом ModelSim/	12	4	8	
2	Управление процессами взаимодействия с блоками памяти с помощью конечного автомата.	20	2	14	4
3	Зачет	4	0	0	4
	Всего	36	6	22	8

№ п/п	Наименование разделов и тем	Всего, час.	В том числе		
			лекции	лабораторные. занятия	Самостоятельная работа
1	**Структура ПЛИС FPGA. Основы программирования на Verilog HDL и освоение работы с пакетом ModelSim.**	**12**	**4**	**8**	**0**
1.1	Структура FPGA и основы программирования в пакете ModelSim	4	2	2	0
1.2	Структура конечных автоматов и их программирование под FPGA	8	2	6	0
2	**Управление процессами взаимодействия с блоками памяти с помощью конечного автомата.**	**20**	**2**	**14**	**4**
2.1	Встроенные блоки памяти. RAM, ROM. Однопортовая и двухпортовая память. Инициализация	4	2	2	0
2.2	Управление процессами взаимодействия с блоками памяти с помощью конечного автомата.	16	0	12	4
3	**Зачет**	**4**	**0**	**0**	**4**

Учебная программа

«Структурное программирование в системах на кристалле»

Модуль 1. Структура ПЛИС FPGA. Основы программирования на Verilog HDL и освоение работы с пакетом ModelSim.

Тема 1.1 Структура FPGA и основы программирования в пакете ModelSim (4 часа)

Общая структура современных FPGA. Основы языка программировния Verilog HDL и работа в пакете моделирования схем – ModelSim.

Моделирование КЦУ и ПЦУ.

Тема 1.2. Структура конечных автоматов и их программирование под FPGA (8 часов)

Структура конечного автомата. Автомат Мура и автомат Мили. Особенности программирования.

Моделирование и макетирование автомата Мура (светофор).

Модуль 2 Управление процессами взаимодействия с блоками памяти с помощью конечного автомата. (20 часов)

Тема 2.1. Встроенные блоки памяти. RAM, ROM. Однопортовая и двухпортовая память. Инициализация (4 часа)

Структура и функционирование встроенных блоков памяти. Временные соотношения при обращении к памяти.

Инициализация памяти. Создание файла инициализации. Моделирование кодера.

Тема 2.2. Управление процессами взаимодействия с блоками памяти с помощью конечного автомата (16 часов).

Моделирование внутреннего регистра сдвига для сохранения выводимой информации.

Моделирование сложного конечного автомата для управления считывания с памяти информации и выведения на интерфейс.

Моделирование общего файла.

Макетирование устройства.

Самостоятельное моделирование и макетирование устройства по индивидуальному заданию.

Перечень лабораторных работ

Номер темы	Наименование лабораторной работы
1.1	Моделирование и макетирование счетчика (2 часа)
1.2	Моделирование и макетирование конечного автомата Мура – модель светофора (6 часов)
2.1	Инициализация выбранного типа памяти, моделирование кодера (2 часа)
2.2	Моделирование регистра (2 часа)
2.2	Моделирование конечного автомата (4 часа)
2.2	Моделирование и макетирование общей схемы устройства управления памятью. (6 часов)

4. Организационно-педагогические условия

4.1. Формы и режим занятий: аудиторная; групповая; индивидуальная; самостоятельная работа.

4.2. Форма обучения: очная.

4.3. Срок освоения: 36 часов (2 месяца).

4.4. Применяемые средства обучения: компьютеры, макеты DE1-SoC на базе Cyclone V, мультимедийный комплекс.

4.5. Материально-техническое обеспечение реализации программы

Наименование специализированных аудиторий, кабинетов, лабораторий	Вид занятий	Наименование оборудования, программного обеспечения
Аудитория	лекции	Компьютер, мультимедийный комплекс
Компьютерный класс или собственный компьютер слушателя	Лабораторные занятия	Электронные учебно-методические материалы, специализированное программное обеспечение, макеты DE1-SoC.

4.6.Учебно-методическое обеспечение программы

1. Угрюмов, Е. П. Цифровая схемотехника [Текст] : учебное пособие для вузов / Е. П. Угрюмов ; рец. А. И. Водяхо. - 3-е изд., перераб. и доп. - СПб. : БХВ-Петербург, 2010. - 816 с. : ил, табл. - Библиогр. : с. 775-780. - ISBN 978-5-9775-0162-0 : 478.96 р. Прил. : с. 755-760

2. Pong P. Chu. FPGA prototyping by Verilog examples. : Wiley,2008,488p., ISBN 978-0-470- 18532- 2, электронный ресурс.

3. Бузюков, Л. Б. Структуры программируемых логических интегральных схем : учеб. пособие / Л. Б. Бузюков, О. Л. Неелова ; Федер. агентство связи, Гос. образовательное учреждение высш. проф. образования "С.-Петерб

Оценка качества освоения программы

Оценка качества освоения программы осуществляется преподавателем по представлению слушателем работающей модели устройства на макете.

6) Разработать устройство контроля доступа. Устройство должно действовать по следующему алгоритму:

- Получение команды на ввод данных (реализуется при помощи кнопки 1);
- Ввод кодовой последовательности в течение 10 секунд с подтверждением ввода (кодовая последовательность вводится при помощи тумблеров, подтверждение происходит при нажатии кнопки 2);
- При вводе верной последовательности на семи-сегментном индикаторе вывести сообщение о получении доступа;
- При истечении времени на ввод кодовой последовательности или при вводе неверной последовательности на семи-сегментном индикаторе вывести сообщение о запрете доступа.

7) Разработать устройство контроля доступа. Устройство требует ввода кодовой последовательности, состоящей из 6-ти цифр. Вводимые цифры отображать на семи-сегментных индикаторах. Устройство должно действовать по следующему алгоритму:

- Получение команды на начало ввода данных (реализуется при помощи кнопки 1);
- Ожидание одной цифры кодовой последовательности (цифра задается при помощи тумблеров в двоичном коде, подтверждение ввода цифры осуществляется при помощи кнопки 2);
- После считывания всех 6-ти цифр устройство проверяет введенную последовательность;
- При вводе верной последовательности на семи-сегментных индикаторах вывести сообщение о получении доступа;
- При вводе ошибочной последовательности на семи-сегментных индикаторах вывести сообщение о запрете доступа.

Слушатель считается аттестованным, если имеет выполненные лабораторные работы и предоставил действующее устройство по индивидуальному заданию..

6. Составители программы

Неелова О. Л., старший преподаватель кафедры ПИВТ.

Перечень вопросов

1) Разработать схему устройства для сортировки массива, хранящегося в двух-портовой оперативной памяти. Длина массива 16 слов, размер слова 8 бит. Вывод отсортированных элементов производить на семи-сегментные индикаторы по два числа, каждое число выводить на 2 индикатора (младшая и старшая часть отдельно). До вывода чисел включенный индикатор показывает «-». Частота следования чисел на индикаторах 2 Гц, тактовая частота Cyclone V – 50 Мгц, частота обработки массива конечным автоматом — 1 МГц.

2) Разработать устройство стека, глубиной 32 слова и размерностью одного слова 8 бит. Входные данные формируются при помощи тумблеров. Команды на чтение и запись данных подаются с кнопок. На семи-сегментные индикаторы необходимо вывести: текущее количество слов в стеке, текущее значение вершины стека и значение, подготовленное на запись в стек. При реализации устройства необходимо учесть возможность его переполнения. Для построения устройства использовать двух-портовую память.

3) Разработать устройство очереди, глубиной 32 слова и размерностью одного слова 8 бит. Входные данные формируются при помощи тумблеров. Команды на чтение и запись данных подаются с кнопок. На семи-сегментные индикаторы необходимо вывести: текущее количество слов в очереди, текущее значение, подготовленное для чтения из очереди, и значение, подготовленное на запись в очередь. При реализации устройства необходимо учесть возможность его переполнения. Для построения устройства использовать двух-портовую память.

4) Разработать устройство таймера. Значение временного интервала задавать при помощи тумблеров. Сигналы управления подавать при помощи кнопок. На семи-сегментные индикаторы выводить значения минут и секунд. При разработке устройства учитывать частоту опорного генератора (50 МГц).

5) Разработать устройство секундомера. Сигналы управления подавать при помощи кнопок. На семи-сегментные индикаторы выводить значения минут и секунд. При разработке устройства учитывать частоту опорного генератора (50 МГц).