

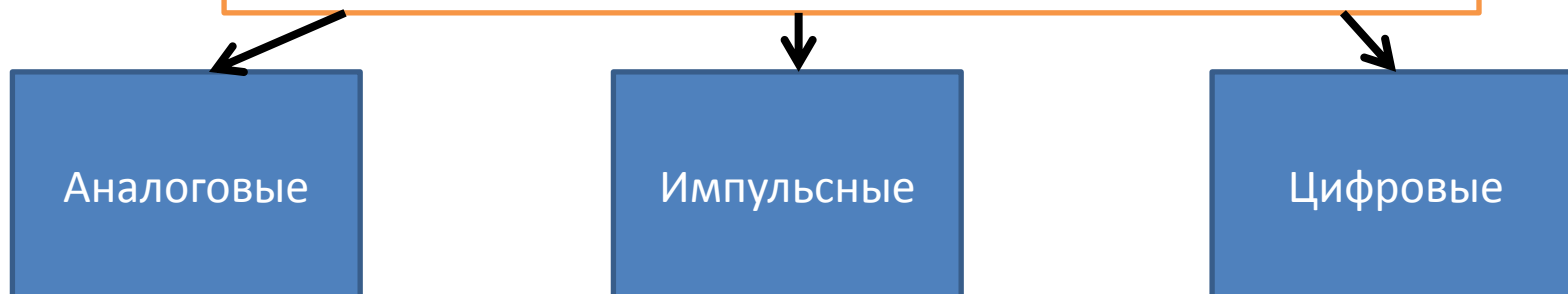
**Универсальные
программируемые интегральные
схемы в автоматизированных
системах управления
производством**

РАЗДЕЛ 1 «ВВЕДЕНИЕ В ПРОГРАММИРУЕМЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ»

Основные этапы развития радиоэлектроники

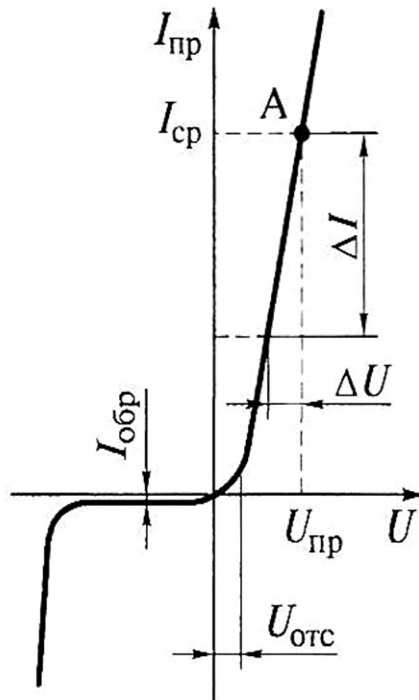
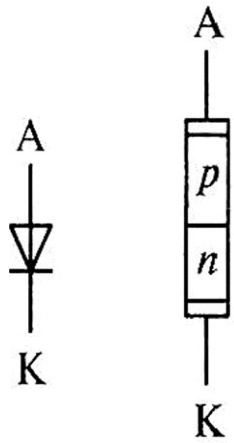


Классификация электронных устройств

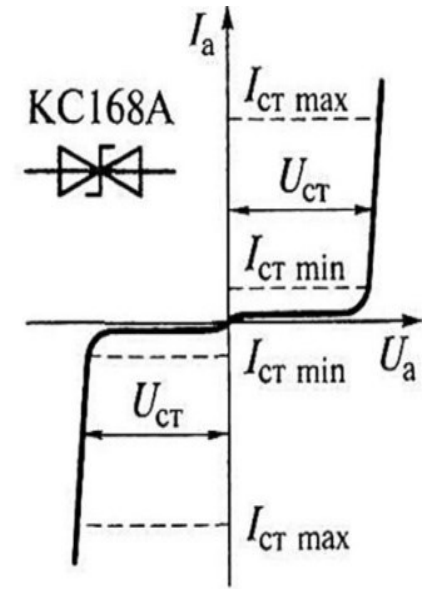
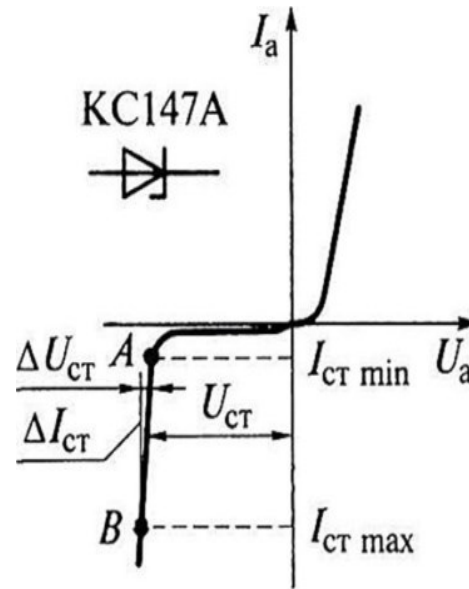


Пассивные элементы

Диод

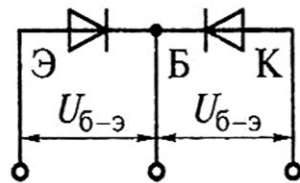
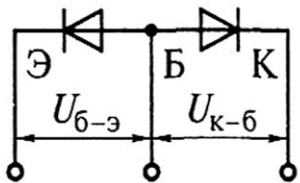
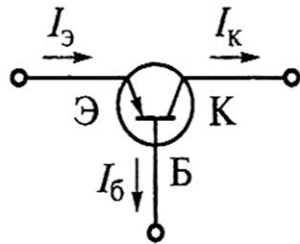
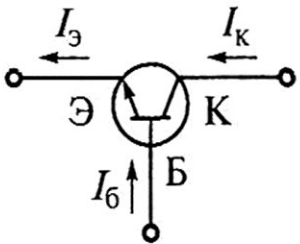
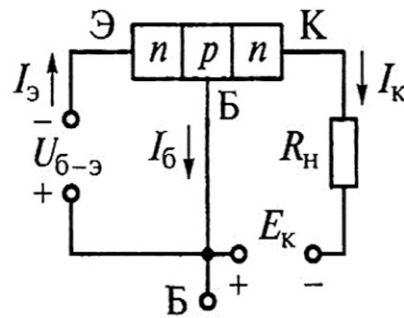
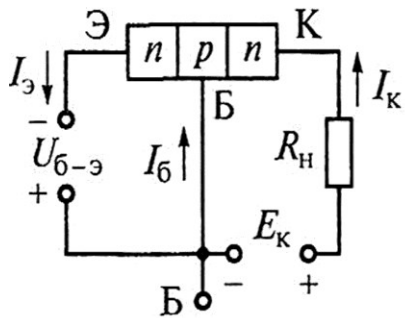


Стабилитрон

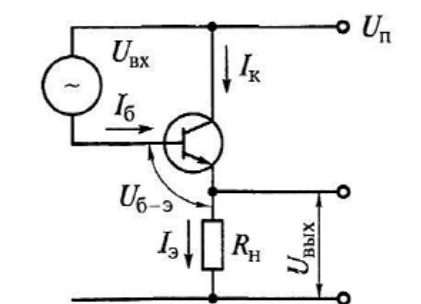
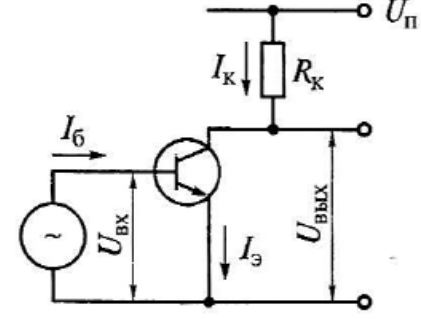
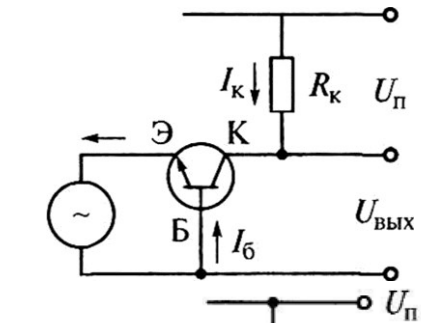


Активные элементы (биполярный транзистор)

Обозначение

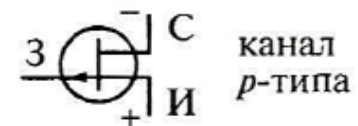
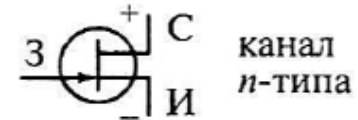
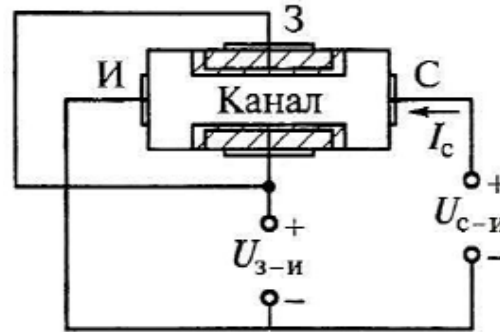


Схемы включения



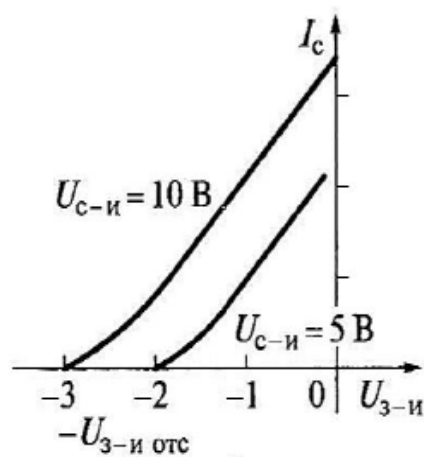
Активные элементы (полевой транзистор)

Обозначение

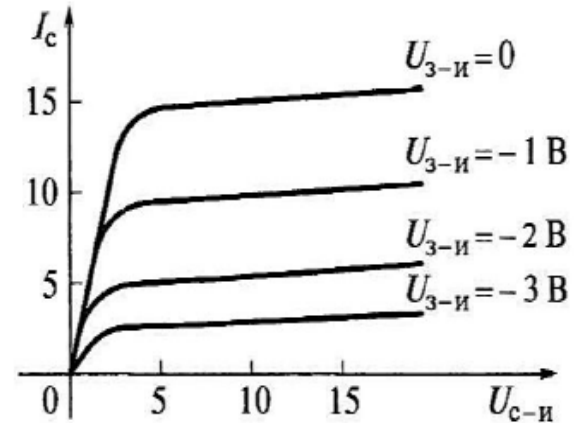


Характеристики

$$I_c = f(U_{з-и}) \text{ при } U_{с-и} = \text{const}$$

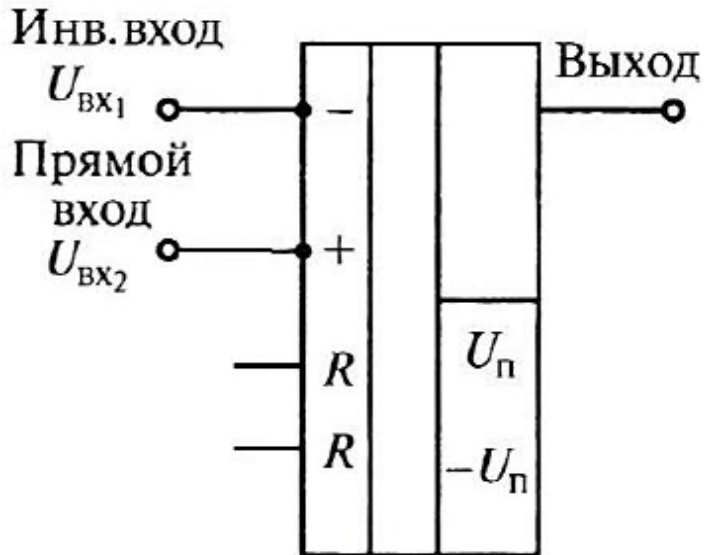


$$I_c = f(U_{с-и}) \text{ при } U_{з-и} = \text{const}$$

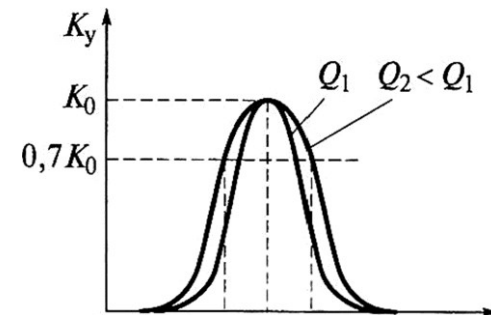
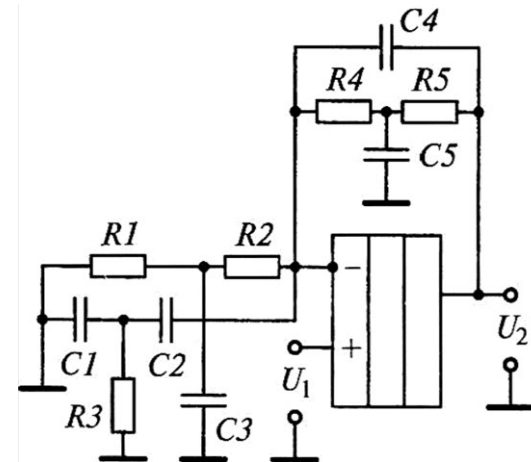


Классификация ИС (операционный усилитель)

Обозначение



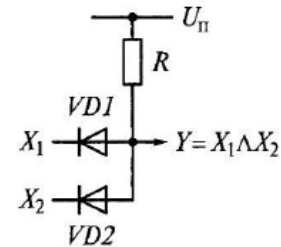
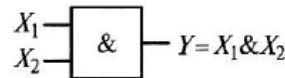
Полосовой фильтр на базе ОУ



Классификация ИС (логические элементы)

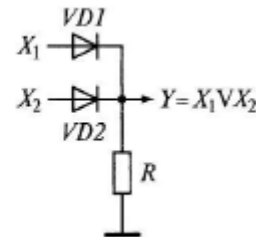
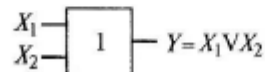
Элемент «И»

X_2	X_1	Y
0	0	0
0	1	0
1	0	0
1	1	1



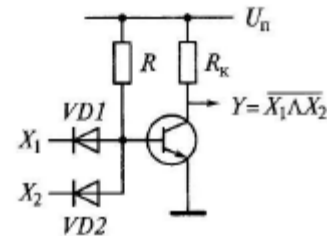
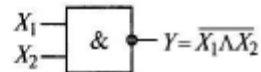
Элемент «ИЛИ»

X_2	X_1	Y
0	0	0
0	1	1
1	0	1
1	1	1

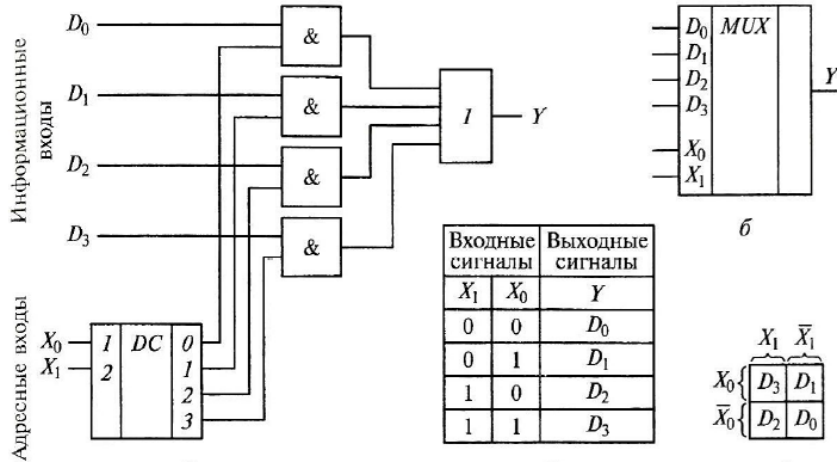


Элемент «НЕ»

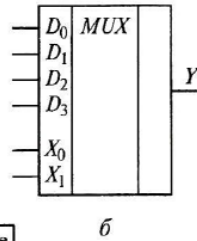
X_2	X_1	Y
0	0	1
0	1	1
1	0	1
1	1	0



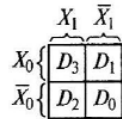
Комбинационные цифровые устройства



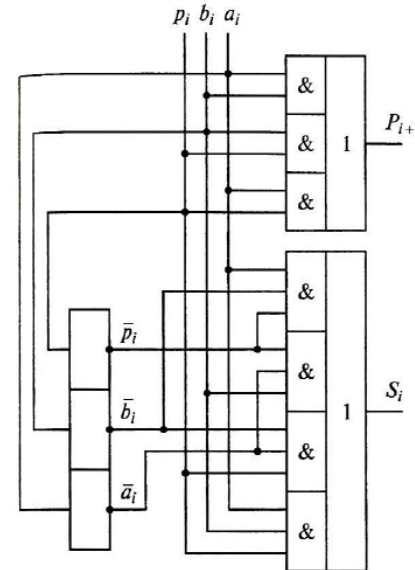
Мультиплексор



б

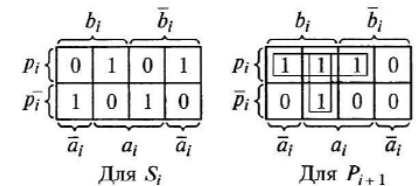


Одноразрядный сумматор



Входные сигналы			Выходные сигналы	
a_i	b_i	p_i	S_i	P_{i+1}
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

б



Последовательные цифровые устройства

Схема и условное обозначение JK-триггера

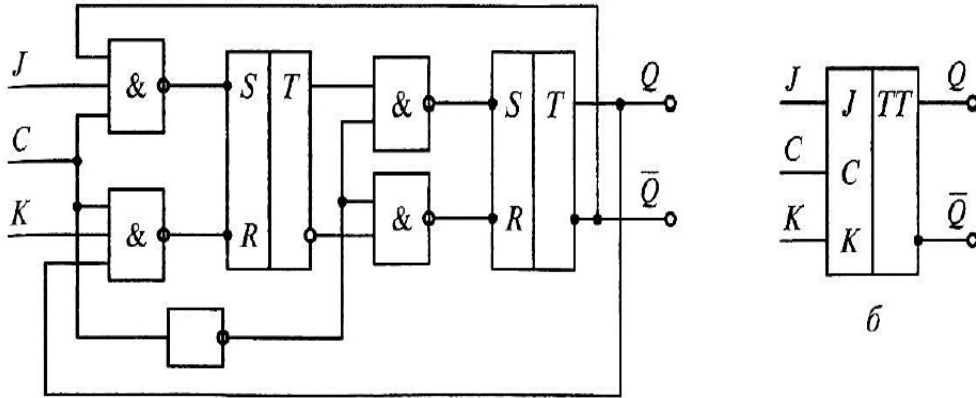
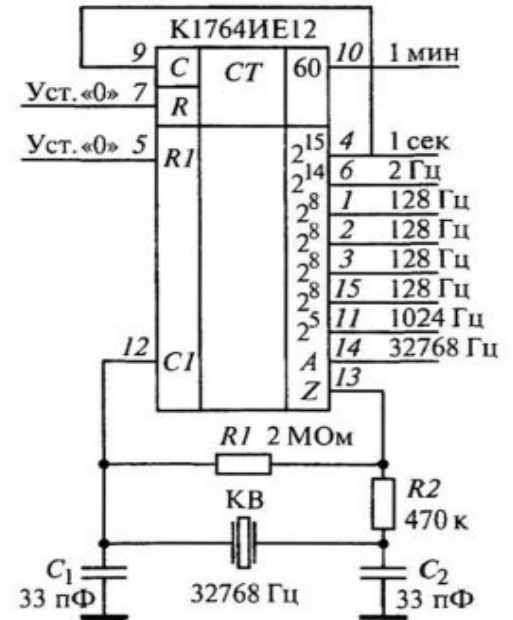
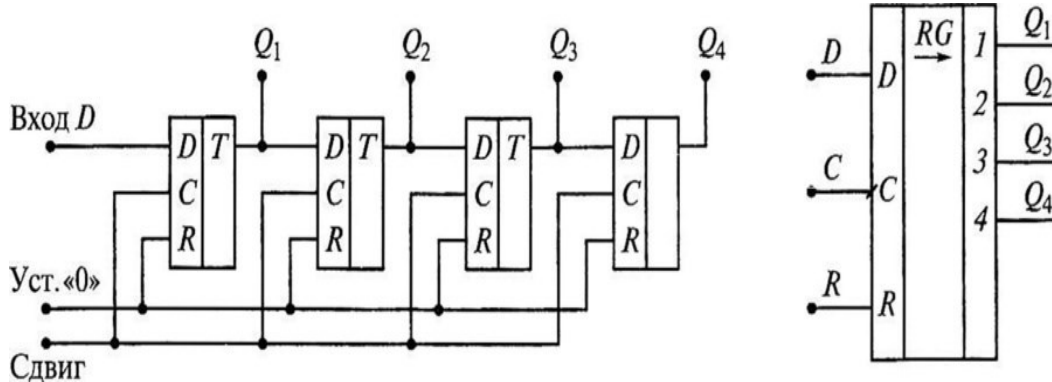


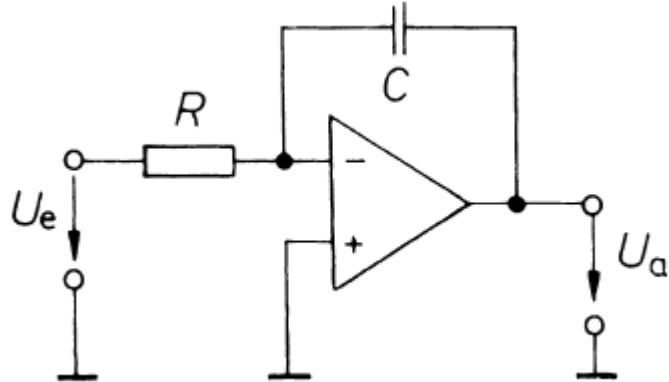
Схема и условное обозначение сдвигающего регистра



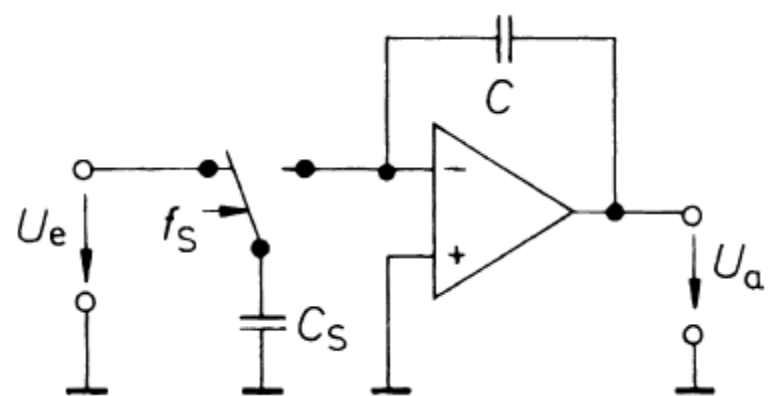
РАЗДЕЛ 2

«ПРОГРАММИРУЕМЫЕ АНАЛОГОВЫЕ (ИМПУЛЬСНЫЕ) ИНТЕГРАЛЬНЫЕ СХЕМЫ (ПАИС)»

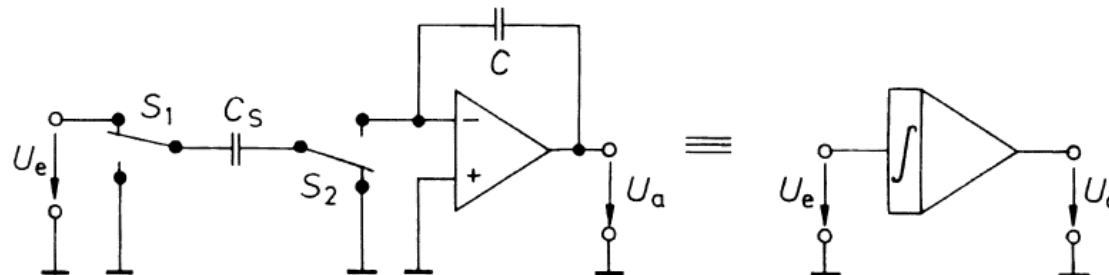
Инвертирующий аналоговый интегратор



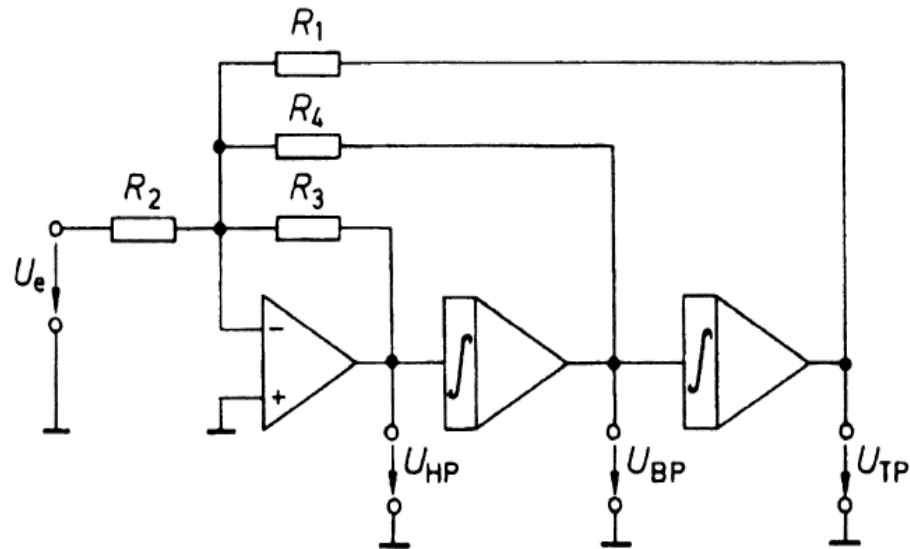
Инвертирующий аналоговый SC-интегратор



Неинвертирующий аналоговый SC-интегратор



Универсальный SC-фильтр нижних, верхних частот и полосовой

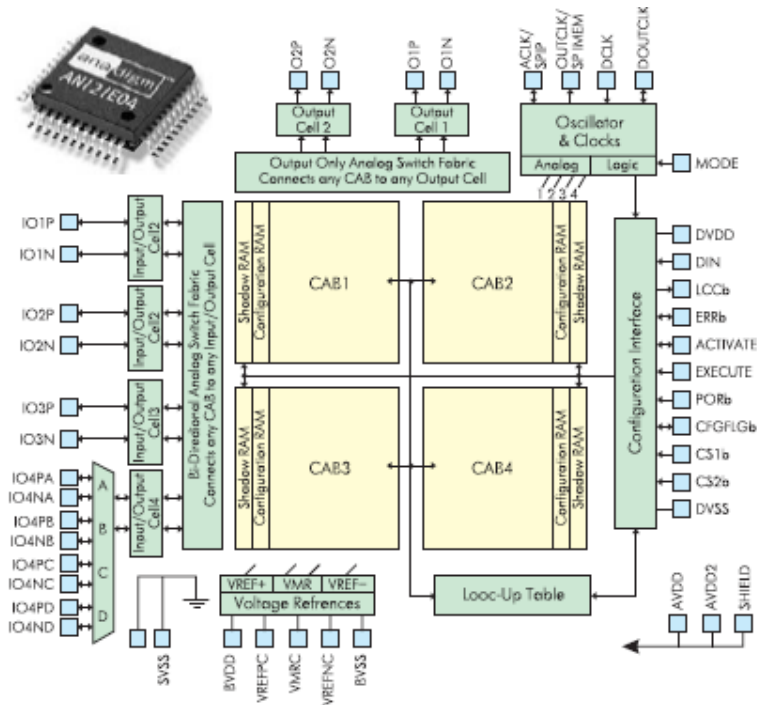


$$U_{HP} = -\frac{R3}{R1} U_e - \frac{R3}{R4} U_{BP} - \frac{R3}{R2} U_{TP}$$

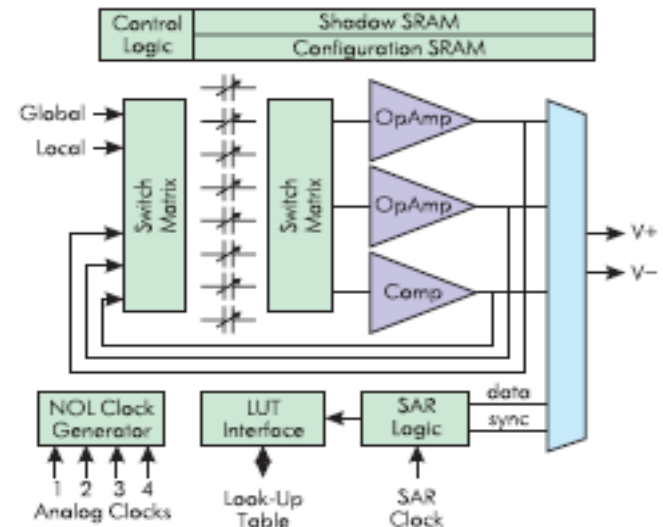
$$U_{BP} = \frac{1}{\tau \cdot S} \cdot U_{HP}; \quad U_{TP} = \frac{1}{\tau \cdot S} \cdot U_{BP}$$

Структурная схема ПАИС

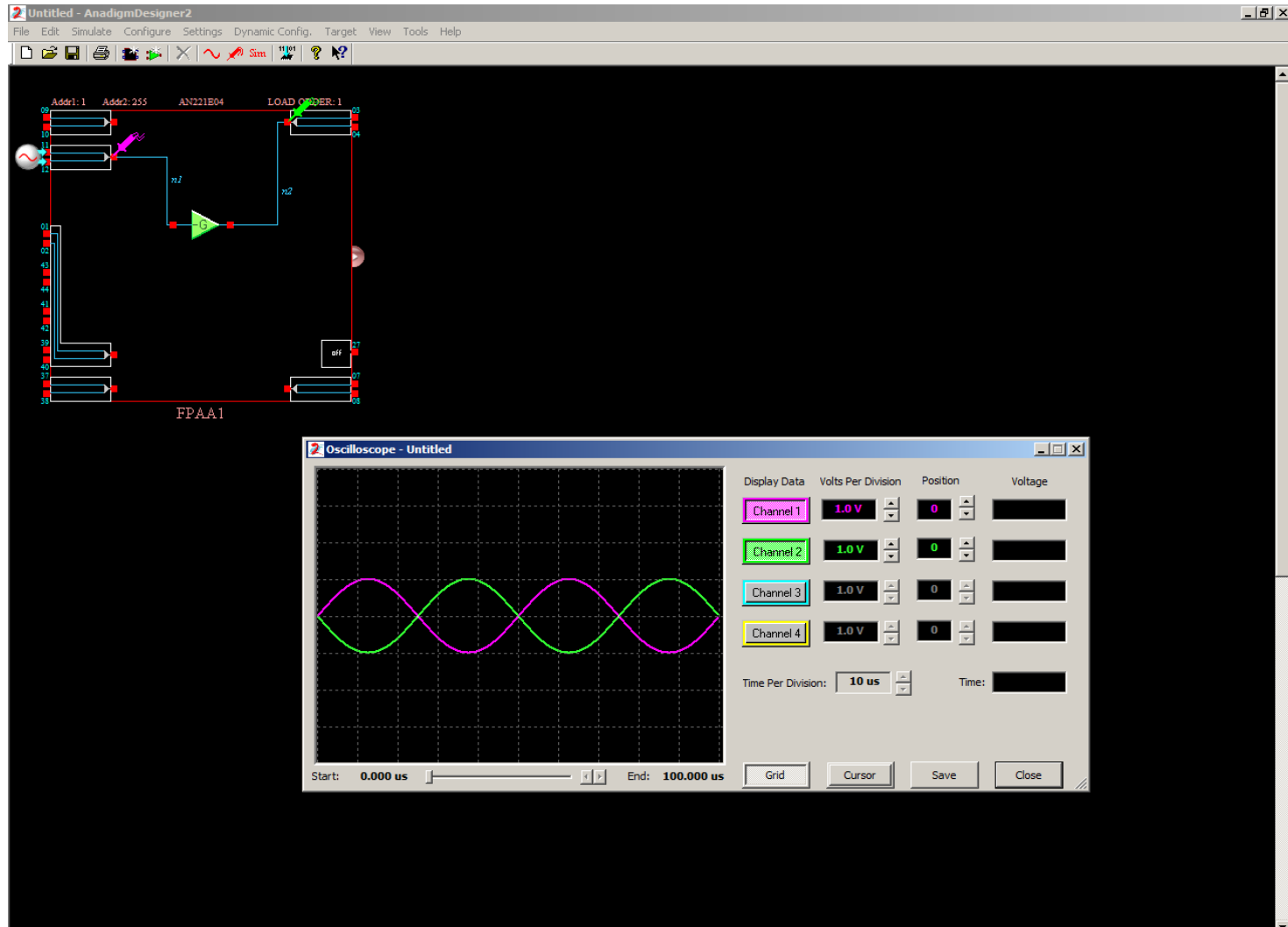
Внутренняя структурная



Обобщенная структура одной из ячеек матрицы КАБ



Интерфейс программы Anadigm Designer 2



Окно выбора CAM в Anadigm Designer 2

CAM	Description	Version	Approved
ADC-SAR	Analog to Digital Converter (SAR)	(*)	Yes
Comparator	Comparator	(*)	Yes
Differentiator	Inverting Differentiator	(*)	Yes
Divider	Divider	(*)	Yes
FilterBilinear	Bilinear Filter	(*)	Yes
FilterBiquad	Biquadratic Filter	(*)	Yes
FilterDCBlockLP	DC Blocking HPF with Optional LPF	0.0.7	No
FilterLowFreqBi...	Low Corner Frequency Bilinear LPF (External...	(*)	Yes*
FilterVoltageCo...	Voltage Controlled Filter	1.4.0	No
GainHalf	Half Cycle Gain Stage	(*)	Yes
GainHold	Half Cycle Inverting Gain Stage with Hold	(*)	Yes
GainInv	Inverting Gain Stage	(*)	Yes
GainLimiter	Gain Stage with Output Voltage Limiting	(*)	Yes*
GainPolarity	Gain Stage with Polarity Control	(*)	Yes
GainSwitch	Gain Stage with Switchable Inputs	(*)	Yes
GainVoltageCo...	Voltage Controlled Variable Gain Stage	(*)	Yes
Hold	Sample and Hold	(*)	Yes
HoldVoltageCo...	Voltage Controlled Sample and Hold	(*)	Yes
Integrator	Integrator	(*)	Yes
Multiplier	Multiplier	(*)	Yes
MultiplierFilterL...	Multiplier with Low Corner Frequency LPF (E...	(*)	Yes*
OscillatorSine	Sinewave Oscillator	(*)	Yes
PeakDetect2	Peak Detector	(*)	(*)
PeakDetectExt	Peak Detector (External Caps)	0.0.3	No
PeriodicWave	Arbitrary Periodic Waveform Generator	(*)	Yes
RectifierFilter	Rectifier with Low Pass Filter	(*)	Yes

РАЗДЕЛ 3

«ПРОГРАММИРУЕМЫЕ ЛОГИЧЕСКИЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ (ПЛИС)»

Основные параметры ПЛИС различных серий

	ЕРМ3032А	ЕРМ3064А	ЕРМ3128А	ЕРМ3256А
Логическая емкость, эквивалентных вентилей	600	1250	2500	5000
Число макроячеек	32	64	128	256
Число логических блоков	2	4	8	16
Число программируемых пользователей вывода	34	66	96	158
Задержка распространения сигнала вход-выход, t_{PD} , [нс]	45	45	5	6
Время установки глобального тактового сигнала, t_{SU} , [нс]	30	30	32	37
Задержка глобального тактового сигнала до выхода, t_{CO1} , [нс]	28	28	30	33
Максимальная глобальная тактовая частота, f_{CNT} , [МГц]	192.3	192.3	181.8	156.3

Функциональная схема ПЛИС семейства МАХ3000

