Практическое занятие №4 Особенности архитектуры 64-разрядных процессоров

Содержание и порядок проведения лекции	Время, мин
Вступительная часть	5
Основная часть (текст лекции)	
Введение	3
Учебные вопросы:	
1. Отличительные особенности 32-разрядных процессоров.	15
2. Базовые узлы 32-разрядного процессора.	35
3. Принципы функционирования 32-разрядного процессора.	25
Заключение	5
Заключительная часть	2

I. Учебно-материальное обеспечение

1. Учебный класс.

. Методические рекомендации преподавателю по подготовке и проведению практического занятия

При подготовке к занятию

Наибольшее время уделить динамическому исполнению команд, поскольку данная тема наиболее сложна для восприятия.

Во вступительной части занятия

Связать материал практического занятия с материалом лекционного. Обратить внимание курсантов на важность изложенного материала.

При отработке первого учебного вопроса

Вызывая курсантов к доске, последовательно разобрать каждую из трех отличительные особенностей 32-разрядных процессоров. Подробно остановиться на динамическом исполнении команд.

Обратить внимание на следующие отличительные особенности:

1. Использование в данных процессорах архитектуры двойной независимой шины (DIB – архитектуры).

а). Связать возникновение DIB – архитектуры с увеличением объема вторичного КЭШа.

б). Влияние DIB – архитектуры на рост производительности процессора.

2. Тенденция к увеличению числа стадий конвейера.

а). Принцип конвейерной обработки информации.

б). Связать увеличение числа стадий конвейера с увеличением тактовой частоты.

3. Динамическое исполнение команд.

а). Возникновение предела возможности повышения быстродействия цифровых устройств.

б). Пути решения данной проблемы.

в). Динамическое исполнение команд как оптимальное решение.

г). Статус команды, необходимый для ее динамического исполнения.

При отработке второго учебного вопроса

На структурной схеме процессора рассмотреть назначение каждого из базовых узлов, а также назначение входящих в него элементов.

1. Определить по структурной схеме микропроцессора "упорядоченные" и "беспорядочные" устройства.

2. Рассмотреть состав Устройства выборки и декодирования.

а). Параллельные декодеры команд.

б). Таблица псевдонимов регистров.

в). Буфер переходов.

г). Указатель на следующую команду.

3. Рассмотреть состав Устройства диспетчеризации/выполнения.

а). Операционные устройства.

б). Пятипортовая распределительная станция.

в). Устройство выполнения переходов.

г). Устройства генерации адресов.

4. Устройство отката.

5. Интерфейс шины.

6. Пул команд.

При отработке третьего учебного вопроса

Вызывая курсантов к доске, по схеме процессора проследить тракт прохождения информации.

1. Выбор одной или более команд (входящих в считанные 16 байт) из КЭШа команд.

2. Дешифрация команд тремя параллельными декодерами. Преобразование команд архитектуры Intel в микрокоманды, которые ставятся в очередь.

3. Преобразование в таблице псевдонимов регистров ссылок на логические регистры в ссылки на физические регистры.

4. Отправка каждой из микрокоманд вместе с дополнительной информацией о ее состоянии (статусе) в пул команд.

5. Выбор Устройством диспетчеризации/выполнения микрокоманды из пула команд в зависимости от их статуса.

6. Выполнение выбранной микрокоманды Операционным устройством и отправление результата в пул.

7. Действия при неверном предсказании перехода. Возможности повышения точности предсказания переходов.

8. Процесс восстановления исходного состояния вычислительной системы в строгом соответствии первоначальному порядку команд в программе.

. Литература, рекомендуемая преподавателю

1. Е.П. Угрюмов. Цифровая схемотехника. – СПб: БХВ-Петербург, 2007.
2. Б.Я. Цилькер, С.А. Орлов. Организация ЭВМ и систем. – СПб: Питер, 2007
3. О.М. Тарасов, Д.И. Кирик, В.И. Кабаров. Схемотехническое моделирование электронных цифровых устройств. – СПб: ВАС, 2008.