Тема № 2 Логические элементы и триггеры

Содержание и порядок проведения занятия	Время, мин
ВСТУПИТЕЛЬНАЯ ЧАСТЬ	5
ОСНОВНАЯ ЧАСТЬ	80
Учебные вопросы:	
1. Классификация триггеров	20
2. RS-триггеры	60
3. D-триггеры	5
4. T- триггеры	
5. JK-триггеры	
ЗАКЛЮЧИТЕЛЬНАЯ ЧАСТЬ	

VI. Текст лекции

Введение

Успехи интегральной технологии привели к появлению микросхем потенциальных триггеров, построенных на логических элементах.

Триггером называется устройство, обладающее двумя состояниями устойчивого равновесия. Переход из одного состояния в другое осуществляется под воздействием внешнего управляющего напряжения и происходит быстро, лавинообразно — скачком.

В состоянии равновесия все напряжения и токи в устройстве постоянны: $U=const$, $i=const$ — и**,** как следствие, токи через конденсаторы отсутствуют и отсутствуют напряжения на элементах индуктивности: $i_c=CdU_c/dt=0$; $U_L=Ldi/dt=0$.

Равновесие может быть устойчивым и неустойчивым. В последнем случае при малом внешнем воздействии устройство, будучи выведено из состояния равно-

весия, обратно в него не возвращается, а переходит в одно из состояний устойчивого равновесия.

Процесс перехода триггера из одного состояния устойчивого равновесия в другое называют опрокидыванием триггера, срабатыванием или спуском (trigger — по-английски означает спусковой крючок).

1. Классификация триггеров

Реализация триггеров возможна на основе усилителей с положительной обратной связью (ПОС) или с помощью активных компонентов, обладающих отрицательным сопротивлением, таких, например, как туннельные диоды или тиристоры. Триггеры, построенные на основе усилителей с ПОС, называют просто триггерами, а триггеры на основе активных компонентов с отрицательными сопротивлениями конкретизируют указанием типа активного компонента — триггеры на туннельных диодах, триггеры на тиристорах.

Триггеры принято классифицировать по функциональному назначению и по способу управления.

По функциональным возможностям различают:

а) **RS-трнггеры**, или триггеры с раздельными установочными входами: сигнал на входе *S* устанавливает триггер в состояние 1, сигнал на сходе *R* устанавливает в 0.

б) **D-триггеры**, или триггеры задержки. Они имеют один информационный вход *D* и вход синхронизации С.

в) **Т-триггеры**, или триггеры со счетным входом. Импульс на единственном входе Г всякий раз изменяет состояние триггера из 0 в 1 либо из 1 в 0.

г) **JK-триггеры,** или универсальные, способные выполнять функции любого из перечисленных выше триггеров.

По **способу управления:**

- асинхронные триггеры (запись информации происходит в момент подачи информационного сигнала на соответствующий вход);

- синхронные триггеры (запись информации в триггер осуществляется только при подаче разрешающего синхронизирующего (тактового) импульса.

Синхронные триггеры делятся на две группы:

- срабатывание происходит с начала действия тактового импульса - по фронту;
- срабатывание происходит - по спаду, т.е. информация, записываемая в триггер, появляется на его выходе после окончания тактового импульса.

По принципу построения триггеры могут быть **одноступенчатыми и двухступенчатыми.** Одноступенчатые имеют одну ступень запоминания информации, причем установка ее нового состояния представляет собой непрерывный во времени процесс.

Двухступенчатые триггеры имеют две ступени, которые тактовым импульсом управляются таким образом, что вначале информация записывается в первую ступень, а затем повторяется второй ступенью и появляется на выходе триггера.

2. RS – триггеры

2.1. Асинхронные RS - триггеры.

Асинхронные RS - триггеры имеют два установочных входа:

- вход *"S"* (от set - установка, включено) - установка *"1";*
- вход *"R"* (от reset - возврат, выключено) - установка *"0".*

Они могут строиться как на элементах "ИЛИ-НЕ", так и на элементах "И-НЕ".

Функциональная схема триггера на ЛЭ "ИЛИ-НЕ" показана на рис. 1.

Логику работы триггера можно отразить с помощью *таблицы истинности* (таблицы состояний).

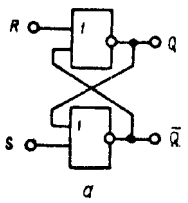


рис. 1

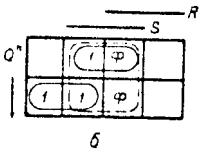
R	S	Q^n	Q^{n+1}	режим работы
0	0	0	0	нейтральная комбинация (режим хранения)
0	0	1	1	нейтральная комбинация (режим хранения)
0	1	0	1	запись “1”
0	1	1	1	запись “1”
1	0	0	0	запись “0”
1	0	1	0	запись “0”
1	1	0	---	запрещенные комбинации. При этих комбинациях
1	1	1	---	Q и $\overline{Q}$ = “0” - триггер не работает

R, S - комбинация входных управляющих сигналов ;

Q^n - состояние триггера до подачи управляющих сигналов;

Q^{n+1} - состояние в которое переходит триггер под действием подаваемых управляющих сигналов.

Составив карту Карно (рис. 2) и произведя минимизацию, получаем характеристические уравнения триггера



$$\begin{cases} Q^{n+1} = Q^n \overline{R} + S \\ RS = 0 \end{cases}$$ или рис.2 $$\begin{cases} Q^{n+1} = Q^n \overline{R} + \overline{Q}^n S \\ RS = 0 \end{cases}$$

Полученным уравнениям соответствует упрощенная таблица истинности.

R	S	Q^{n+1}
0	0	Q^n
0	1	1
1	0	0
1	1	запрещенная комбинация

Для уяснения порядка работы триггеров на ИЛЭ будем использовать *идеализированные* временные диаграммы, отражающие состояние каждого вентиля. Идеализация будет заключаться в том, что продолжительность фронтов при пе-

реходе ЛЭ из "0" в "1" или из "1" в "0" предполагается равной нулю: $t^{01}_{ф} = t^{10}_{ф} = 0$, и задержки распространения:

$t^{01}_{зд.р.} = t^{10}_{зд.р.} = t_{зд.р.ср}$.

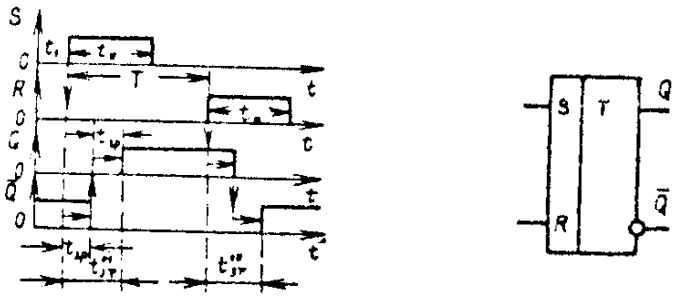


рис. 3

Для рассматриваемого триггера временные диаграммы иллюстрирующие его работу приведены на рис. 3. Предполагается, что при $t<t_1$ триггер находился в нуле: Q=0, $\bar{Q}$=1.

Из временных диаграмм можно определить время задержки переключения триггера: $t_{зд.т.}=2t_{зд.р.ср.}$

На функциональных схемах триггер обозначается как показано на рис. 4 и называется асинхронным триггером с прямыми установочными входами.

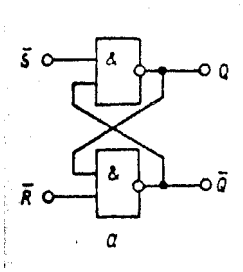


рис. 4

Функциональная схема триггера на ЛЭ "И-НЕ" приведена на рис. 4.

Ее можно получить используя *принцип двойственности*. Согласно этому принципу, любая логическая схема построенная на элементах "ИЛИ-НЕ" может

быть заменена такой же схемой на элементах "И-НЕ", если при этом все сигналы на входах и выходах заменить на их отрицания:

$S \to \bar{S}$, $R \to \bar{R}$, $Q \to \bar{Q}$, $\bar{Q} \to Q$.

Таблица истинности:

R	S	Q^{n+1}
1	1	Q^n
1	0	1
0	1	0
0	0	запрещенная комбинация

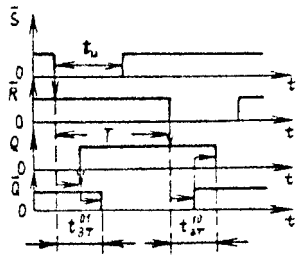


рис. 5

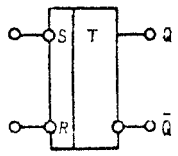


рис. 6

Нейтральной комбинацией входных сигналов, обеспечивающей режим хранения в этой схеме будет S=1, R=1, а запись информации будет производиться, когда на соответствующий вход подается "0". Временные диаграммы, иллюстрирующие работу схемы приведены на рис. 5. Время задержки переключения триггера: $t_{зд.т.} = 2t_{зд.р.ср.}$ На функциональных схемах такой триггер обозначается как показано на рис. 6 и называется асинхронным триггером с инверсными входами.

<u>Быстродействие асинхронного триггера</u> определяется временем задержки переключения триггера: ($t_{зд.т.}$) - интервалом времени между перепадом на входе, вызывающим переключение триггера, и перепадом на выходе соответствующим окончанию переключения. Как следует из временных диаграмм: $t_{зд.т.} = 2t_{зд.р.ср.}$

Минимальная длительность управляющего импульса ($t_{и.min}$) должна быть достаточной, чтобы закончился процесс опрокидывания, и по цепи обратной связи с выхода триггера на вход ЛЭ пришел сигнал, дублирующий управляющий сигнал на установочном входе: $t_{и.min} \geq 2t_{зд.р.ср.}$

Минимальный перепад следования управляющих импульсов обычно выбирают $T_{min} \geq 3t_{зд.р.ср.}$ и, следовательно, допустимая частота переключения асинхронного RS-триггера: $F \leq 1/3t_{зд.р.ср.}$

Рассмотренные триггеры в качестве самостоятельных изделий находят применение в роли ключей, коммутаторов, распределителей, формирователей с управлением от реле или кнопок. Чаще всего они используются в качестве ячеек памяти в более сложных триггерах. В виде готовых МС выпускаются в ограниченных количествах.

В качестве примера приведем МС 546ТР2 (КМОП-структуры), содержащую в корпусе четыре асинхронных RS - триггера на элементах "ИЛИ-НЕ". Каждый триггер имеет только один выход Q. Выходной инвертор служит буфером между триггером и последующими каскадами. Разрешающий вход V - общий и управляет всеми четырьмя выходными ключами. Если V=1 ключи проводят. При V=0 - ключ разомкнут и выход обладает высоким импедансом Z. Порядок функционирования триггера указан в таблице истинности (рис. 7б). В ней x -любое значение входного сигнала, Z - высокоимпедансное состояние. Запрещенных комбинаций в схеме нет. Комбинация S=R=1 при V=1 на выходе устанавливает сигнал $Q^{n+1}=1$.

Основной недостаток асинхронных триггеров, ограничивающий их использование в быстродействующей аппаратуре, - незащищенность перед опасными состязаниями (гонками) сигналов, могущих оказаться причиной ложных срабатываний триггера, а также от помех различного происхождения, появляющихся на информационных входах триггера.

2.2. Синхронные RS-триггеры

Синхронный RS - триггер кроме установочных функциональных входов имеет еще один вход синхронизации C на который подаются тактовые импульсы (ТИ).

Характеристическое уравнение триггера: $Q^{n+1} = (Qn\ \overline{R} + S)C^n + Qn\ \overline{C}^n$

Функциональная схема триггера на ЛЭ И-НЕ приведена на рис. 7. Она состоит из асинхронного триггера с инверсными входами (вентили 3, 4) и схемы управления (вентили 1, 2). Сигналы на функциональных входах являются только предварительными. Пока C=0, S'=R'=1 триггер находится в режиме хранения.

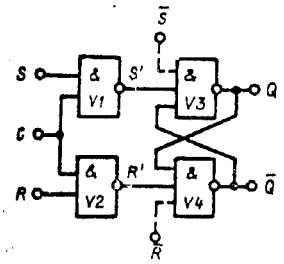


рис. 7

Сигнал "1" на входе C - исполнительная команда, изменяющая значение S' или R' на "0" в зависимости от того записывается "0" или "1". Только при подаче тактового импульса начинается процесс записи информации в триггер. На рис. 8 приведены временные диаграммы, иллюстрирующие порядок работы триггера.

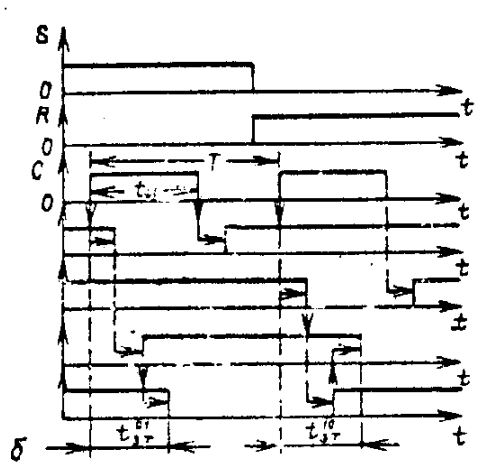


рис. 8

Из диаграмм видно:

- задержка срабатывания триггера: $t_{зд.т.}^{01} = t_{зд.т.}^{10} = t_{зд.т.} = 3t_{зд.р.ср.}$

- длительность тактовых импульсов: t и $\geq 3t_{зд.р.ср.}$

- учитывая время задержки, необходимое для восстановления схемы управления после окончания тактового импульса, минимальный период тактовых импульсов $T_{min} \geq 4t_{зд.р.ср.}$

В практических схемах в качестве тактовых импульсов обычно используется меандр. В этом случае минимальный период будет: $T \geq 6t_{зд.р.ср.}$ и максимальная частота: $F_{max} \leq 1/(6t_{зд.р.ср.})$.

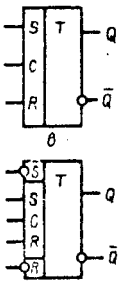


рис.9

На функциональных схемах рассмотренный триггер обозначается как показано на рис. 9. Дополняя вентили 3 и 4 входами $\overline{S}$ и $\overline{R}$, можно, подавая на один из этих входов "0" осуществить установку триггера в "0" или "1" без подачи тактового импульса, т.е. осуществить асинхронный процесс записи информации. Такой триггер называется <u>синхронным RS-триггером с инверсными установочными входами</u> и обозначается как показано на рис. 9.

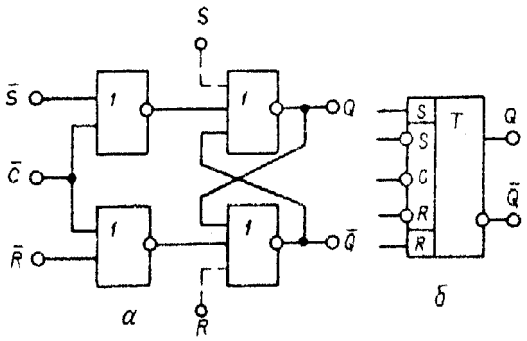


рис. 10

<u>*Синхронный RS-триггер на элементах ИЛИ-НЕ*</u> и его условное обозначение показаны на рис.10.

<u>*Синхронный -триггер на элементах И-ИЛИ-НЕ*</u>. Функциональная схема триггера приведена на рис. 11. Из схемы видно, что при S=1, R=0 и C=1 получается SC=1 и тогда $\overline{Q}$=0, Q=1. При S=0, R=1 и C=1 получается RC=1 и в этом

случае Q=0, $\overline{Q}$=1. Комбинация S=1 и R=1 является запрещенной, так как при C=1 Q=0 и $\overline{Q}$=0. Дополнительные инверсные входы $\overline{S}$' и $\overline{R}$' позволяют установить триггер в "1" или "0" без подачи тактового импульса.

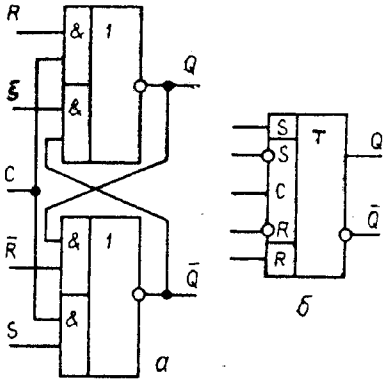


рис. 11

Задержка срабатывания триггера $t_{зд.т.}=2t_{зд.р.ср.}$ - меньше чем в триггере на элементах И-НЕ, ИЛИ-НЕ. Максимальная частота при синхронизации меандром составляет $F_{max} \leq 1/(4t_{зд.р.ср.})$.

Синхронные триггеры в сравнении с асинхронными защищены от опасных состязаний (гонок) сигналов, поступающих на их информационные входы. Они обладают также более высокой помехоустойчивостью, так как опрокидывание синхронных триггеров происходит только при участии тактовых импульсов, длительность которых можно сделать достаточно малой. В остальное время на входные сигналы, равно как и на помехи различного происхождения, триггер не реагирует. При асинхронном управлении опрокидывание может произойти как от полезного сигнала на информационном входе, так и от помехи.

В вычислительной и цифровой технике связанной с обработкой и преобразованием информации, как правило используют синхронные триггеры.

2.3. Двухступенчатый RS-триггер

Рассмотренные ранее триггеры имели одну ячейку памяти. Двухступенчатые триггеры содержат две ячейки памяти, запись информации, в которые происхо-

дит последовательно в разные моменты времени. Такую структуру триггеров называют системой “ведущий-ведомый” или MS -структурой.

Структурная схема двухступенчатого RS - триггера показана на рис. 12.

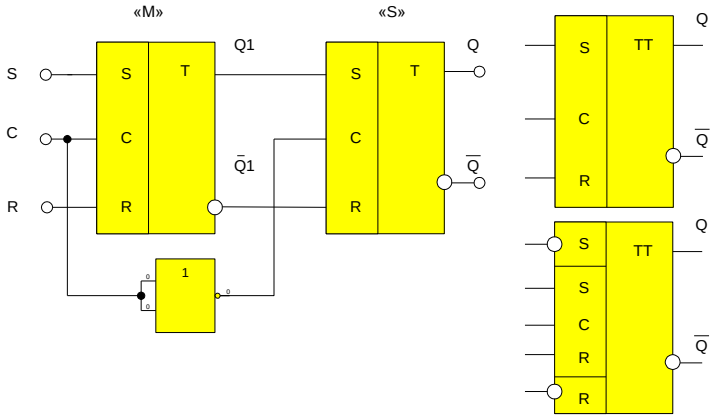


Рис. 12

Он состоит из двух одинаковых синхронных RS - триггеров со статическим управлением. Тактовый вход ведущего триггера (M) связан с входом ведомого (S) инвертором. До прихода тактового импульса (C=0) ведущий триггер M хранит информацию от предыдущего такта, а ведомый (S), на входе синхронизации которого действует сигнал C^1=1 открыт и повторяет состояние ведущего в соответствии с его выходными сигналами Q^1 и $\overline{Q}^1$.

С приходом тактового импульса C=1 в ведущий триггер заносится информация с входов S и R. Ведомый в это время блокирован, т. к. на его тактовом входе действует сигнал $c' = \overline{c} = 0$. С прекращением тактового импульса запирается ведущий триггер, а ведомый открывается и принимает состояние ведущего. С этого момента на выходах триггера будут сигналы

$$Q^{n+1} = S^n \text{ и } \overline{Q}^{n+1} = R^n$$

Из структурной схемы двухступенчатого триггера, вспоминая работу синхронного RS - триггера следует, что переключение ведущей ступени происходит с задержкой $t^I_{ЗГ} = 3t_{ЗР}$ $t^I = 3t_{зд.р.ср}$. Такой же должна быть длительность тактового импульса $t_и \geq 3t_{зд.р.ср.}$ Задержка переключения ведомой ступени складывается из задержки распространения сигнала в инверторе ($t_{зд.р.ср.}$) и времени срабатыва-

ния второй ступени ($t_{зд.т.}$ =3 $t_{зд.р.ср.}$), сигнал на выходе второй ступени появится спустя время $t^{II}_{зд.т.}=4t_{зд.р.ср.}$ после окончания тактового импульса.
Минимальный период следования тактовых импульсов $T_{min}=t^{I}_{зд.т.}+t^{II}_{зд.т.}=7t_{зд.р.ср.}$, а максимальная частота переключения $\mathbf{F}_{max}=1/7t_{зд.р.ср.}$

Если в ведомом триггере предусмотреть установочные входы, то двухступенчатый триггер будет иметь возможность записи информации без подачи тактового импульса.

Условные обозначения двухступенчатого RS - триггера показаны на рис. 1.

Возможность задержки момента опрокидывания на время равное длительности тактового импульса широко используется при обработке цифровой информации, позволяя производить по фронту тактовых импульсов считывание информации, а по спаду - запись.

D-триггеры

Триггеры задержки для установки в состояние "1" и "0" имеют только один информационный вход D-(от слова delay-задержка).

Порядок работы триггера отражает таблица состояний

C	D^n	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

рис. 1

Характеристическое уравнение D-триггера: $Q^{n+1}=D^nC+Q^n\overline{C}$.

$$Q^{n+1}=D^n.$$

-сигнал на выходе Q в такте n+1 повторяет входной сигнал D в предыдущем такте n и сохраняет (задерживает, запоминает) это состояние до следующего тактового импульса.

3.1. Одноступенчатый D-триггер со статическим управлением

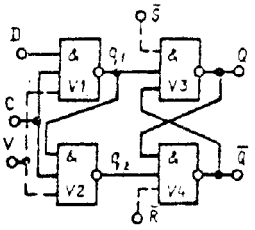


рис. 2

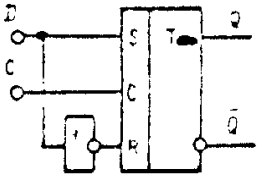


рис. 3

Функциональная схема на D-триггерах на элементах И-НЕ приведена на рис. 12. В отличии от RS-триггера здесь изменено только устройство управления -вход S используется в качестве D-входа, а на вход R подается инвертируемый сигнал с входа вентиля (1). Такой же триггер можно реализовать, используя непосредственно синхронный RS-триггер, если на вход R подавать сигнал с информационного входа S через инвертор- рис. 13.

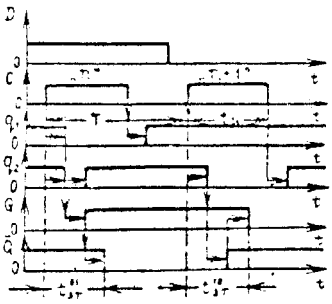


рис. 4

Временные диаграммы, иллюстрирующие процесс записи информации "0" и "1" в триггер, приведены на рис. 14. Из рассмотрения диаграмм видно: - информация ,записанная в n-ом такте храниться (задерживается) в триггере до очередного n+1 такта.

-время задержки (опрокидывания) триггера: $t_{зт}^{01} = t_{зт}^{10} = 3t_{зр}$

-минимальная длительность тактового импульса: $t_и \geq 3t_{зр}$

-минимальный период тактовых импульсов: $T_{мин} \geq 4t_{зр}$

Если опрокидывание триггера осуществляется меандром:

$T \geq 6t_{зр}$ и $F \leq 1/6t_{зр}$

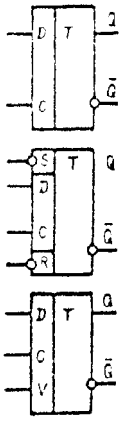


рис. 5

Введение дополнительного входа V в устройство управления дает возможность при V равном 0 отключить триггер (на выходах вентилей 1 и 2 при этом будут "1" и асинхронный триггер находится в режиме хранения независимо от действия тактового импульса). Такой триггер получил название DV-триггера.

Как и в RS-триггере ,в D-триггерах могут быть организованы установочные входы, обеспечивающие запись информации асинхронно, без воздействия тактового импульса.

Условные обозначения рассматриваемых триггеров представлены на рис. 15.

В интегральном исполнении выпускается несколько типов микросхем, содержащих в одном корпусе по четыре D-триггера рассмотренных видов. ТМ5 и ТМ7 имеют по два синхронизирующих входа и отличаются только тем, что ТМ5 не имеет инверсных выходов.

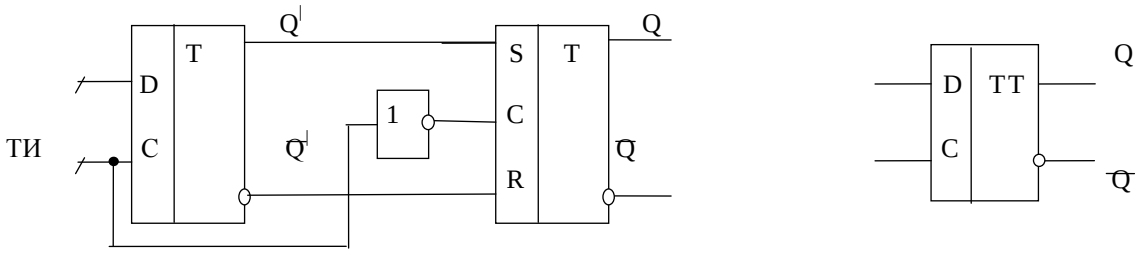
В МС 564ТМ3 синхронизация осуществляется единым для всех триггеров управляющим устройством (элементом "исключающее И-НЕ), имеющем два входа С и Р. Запись информации в триггеры осуществляется, когда сигналы на С и Р одинаковы - оба "0" или оба "1". При различных сигналах (С=0, Р=1 или С=1, Р=0) все триггеры переходят в режим хранения. Такой способ управления придает МС дополнительную гибкость при использовании ее в различных цифровых устройствах.

3.2. Двухступенчатые D-триггеры

Двухступенчатые D-триггеры строятся на основе MS-смтруктур, в которых в качестве ведущего триггера используется D-триггер, а роль ведомого выполняет синхронный RS-триггер со статическим управлением.

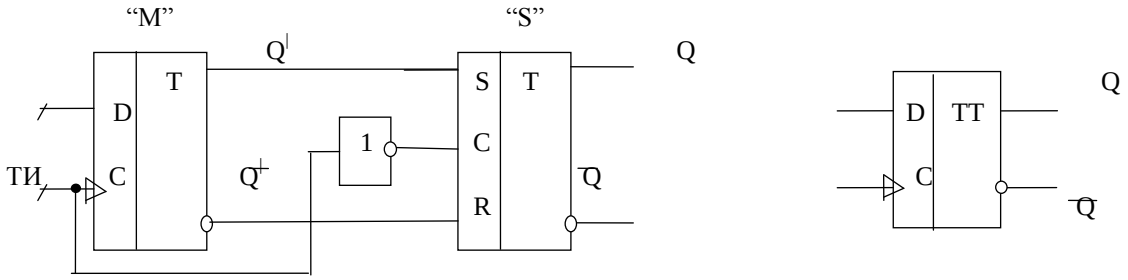
Двухступенчатыый D-триггер со статическим управлением

Структурная схема и условное обозначение приведены на рис.



Двухступенчатый D-триггер с динамическим управлением.

Структурная схема и условное обозначение приведены на рис. 4..



2. Т -триггеры

Т-триггеры имеют только один информационный вход Т (от английского toggle-чека). Подача "1" на этот вход меняет состояние триггера на обратное. Порядок работы триггера представлен таблицей истинности, из которой получаем характеристическое уравнение триггера:

$$Q^{n+1} = Q^n \overline{T} + Q^n \overline{T}$$

Таблица

T^n	Q^n	Q^{n+1}

0 0 1 1	0 1 0 1	0 1 1 0

В интегральном исполнении в виде интегральных МС Т-триггеры не производятся. Они реализуются на основе одноступенчатых триггеров с динамическим управлением или на базе двухступенчатых триггеров. Принцип их построения состоит во введении обратной связи с выходов триггера на вход так, чтобы обеспечить смену сигналов на информационных входах после каждого опрокидывания триггера.

Т-триггеры на основе двухступенчатого RS-и D-триггеров

Смена информации на выходе двухступенчатого Т-триггера со статическим управлением происходит после окончания действия входного сигнала (импульса). Смена сигналов, приходящих по цепям обратной связи на информационные входы во время действия входного импульса здесь исключается, т.к. вторая ступень во время действия входного импульса блокирована с помощью инвертора или запрещающих связей.

Т-триггеры в основном применяются в счётчиках для счёта числа входных импульсов и для деления частоты их следования.

Для преобразования D-триггера в Т-триггер необходимо вход D соединить с выходом $\overline{Q}$, а вход С использовать в качестве входа Т.

Функциональная схема Т-триггера, построенного на основе двухтупенчатого D-триггера, приведена на рис. 5. Если предположить, что триггер находится в состоянии 0, то по цепи обратной связи на вход D подается сигнал $\overline{Q}$ =1 и, следовательно, счетный импульс на входе Т опрокинет триггер первой ступени в 1. Вторая ступень при этом хранит предшествующую информацию и обеспечивает неизменность сигнала на входе D в течение всего времени действия счетного импульса. Только после окончания импульса вторая ступень перейдет в состоя-

ние 1, и по цепи обратной связи на вход D будет подан 0, т.е. триггер окажется подготовленным к приходу очередного счетного импульса.

Таким образом, смена сигнала на входе D после каждого импульса обеспечивает опрокидывание триггера каждый раз в новое положение, когда на вход T подается счетный импульс.

По тому же принципу можно построить T-триггер на основе двухступенчатого RS-триггера, только в этом случае необходимо организовать обратные связи как на входа S, так и на вход R (рис. 5). В результате каждый счетный импульс будет изменять состояние триггера на обратное.

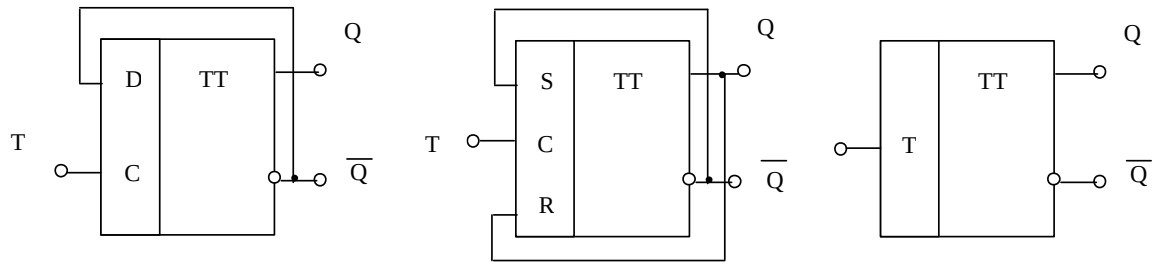


Рис. 5

T-триггер на основе одноступенчатого D-триггера с динамическим управлением

-одноступенчатый T-триггер срабатывающий по фронту управляющих импульсов.

-одноступенчатый синхронный (тактируемый) T-триггер с динамическим управлением, имеющий установочные входы (рис. 6).

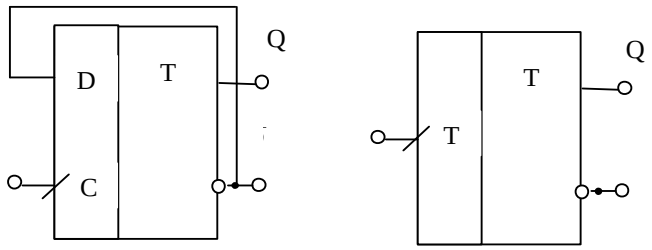


Рис. 6

Применять одноступенчатые D-или RS-триггеры со статическим управлением для организации T-триггеров нельзя, т.к. изменение сигналов на информационных входах, поступающих по цепям обратной связи во время действия "1" на

входе T, приведёт к нарушению нормального функционирования триггера вследствие генерации.

Разновидностью *T*-триггера является TV-триггер, который имеет дополнительный управляющий (запрещающий) вход V. Он может быть построен, например, путем преобразования DV-триггера с динамическим управлением (рис. 7).

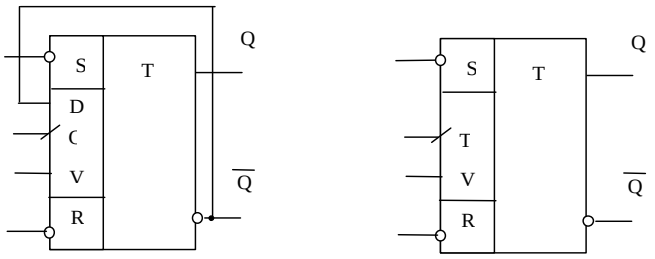


Рис. 7

При *V*=1 *TV*-триггер работает как *T*-триггер. Если же *V*=0 , триггер переходит в режим хранения и не реагирует на счетные импульсы на входе.

3. JK-триггеры

JK-триггер имеет два информационных входа *J* и *K* и вход синхронизации *C*. Порядок его работы отражает таблица состояний.

Таблица

C	J^n	K^n	Q^{n+1}
0	0	0	Q^n
0	0	1	Q^n
0	1	0	Q^n
0	1	1	Q^n
1	0	0	Q^n
1	0	1	0
1	1	0	1
1	1	1	$\overline{Q}^n$

Как видно из таблицы, JK-триггер имеет свойства RS-триггера и T-триггера. Информационный вход J может выполнять роль входа S (установка 1), вход K – роль входа R (установка 0). При J=K=1 тактовый импульс изменяет состояние триггера на обратное, т.е. в этом случае JK-триггер выполняет функцию T-триггера.

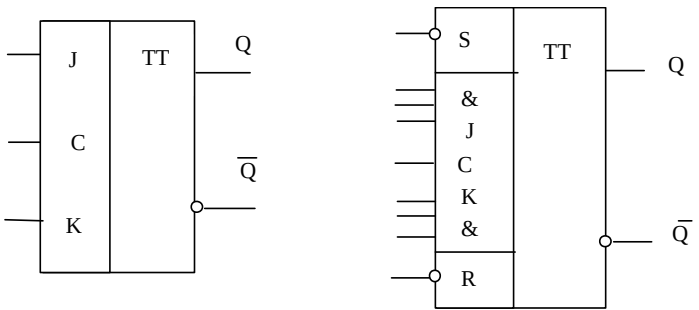


Рис. 8

Условное обозначение JK-триггера приведено на рис. 8.