Тема № 2 Цифровые узлы комбинационного типа

I. Учебные цели

1. Изучить свойства цифровых узлов комбинационного типа

II. Воспитательные цели

Воспитывать творческое мышление.

III. Расчет учебного времени

Содержание и порядок проведения занятия	Время, мин
ВСТУПИТЕЛЬНАЯ ЧАСТЬ	5
ОСНОВНАЯ ЧАСТЬ	80
Учебные вопросы:	
1. Классификация цифровых узлов	15
2. Сумматоры и суммирующие устройства	35
3. Шифраторы	15
4. Дешифраторы	15
ЗАКЛЮЧИТЕЛЬНАЯ ЧАСТЬ	5

Введение

Сформулировать тему, вопросы лекции и ее цель. Обосновать актуальность изучаемой темы. Цифровые узлы являются составляющими компонентами для построения ЭВМ, различных устройств обработки сигналов, а также систем управления, поэтому знание порядка функционирования цифровых узлов явля-

ется важным элементом для изучения образцов военной техники связи и управления.

1. Классификация цифровых узлов

Цифровыми автоматами или конечными автоматами в общем случае называют все системы, предназначенные для цифровой обработки информации.

Различные компоненты, входящие в состав цифрового автомата, по функциональному уровню можно условно разделить на *элементы, узлы* и *устройства*.

Элемент цифровой схемы выполняет простейшую основную или вспомогательную функцию (логические элементы, элементы памяти, усилители и т.д.).

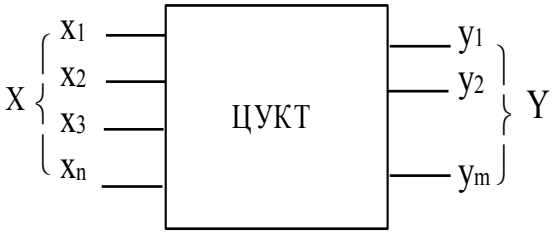
Узел самостоятельно решает более сложную задачу, включает в себя группу элементов, имеет свое название, отражающее выполняемую функцию (сумматор, дешифратор, регистр и т. д.).

Устройство, как правило, состоит из типовых узлов и отдельных элементов, и реализует определенный алгоритм преобразования информации или комплекс задач (арифметико-логическое устройство и т.п.)

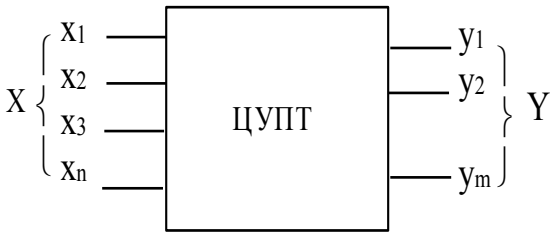
Конечное число логических и запоминающих элементов, составляющих автомат, а также дискретный характер обрабатываемой информации ограничивают число его возможных состояний. Это и определяет термин "конечный автомат".

По способу передачи сигналов в цепях автомата различают асинхронные ЦА и синхронные (тактируемые) ЦА. В синхронных ЦА передача сигналов жестко связана во времени с тактовыми импульсами.

Цифровые узлы в зависимости от входящих в них элементов разделяют на комбинационные и последовательностные.



Комбинационные узлы строятся только на ЛЭ. Сигналы на выходе в таких узлах в данном такте (n) определяются комбинацией входных сигналов действовавших в том же такте: $Y^n=f(X^n)$.



Последовательностные узлы помимо ЛЭ имеют в своем составе элементы памяти. Сигналы на выходе в таких узлах в данном такте (n) определяются не только комбинацией входных сигналов, действовавших в том же такте, но зависят также от последовательностей входных сигналов в предыдущих тактах. Реакции узла на эти последовательности фиксируются в элементах памяти и определяют внутреннее состояние узла в n такте: $Y^n=f(X^n, X^{n-1}, X^{n-2}, ..., X^{n-k})$.

Синтез ЦУ комбинационного типа осуществляется регулярным методом:

1) по заданным требованиям к узлу составляются таблицы истинности,

2) по таблице записываются булевы функции,

3) производится их минимизация и приведение к виду, обеспечивающему реализацию в заданном базисе,

4) строится функциональная схема,

5) выбирается элементная база и разрабатывается принципиальная схема узла.

Синтез ЦУ последовательностного типа в общем случае задача сложная. Практически при разработке ЦУ используют готовые схемотехнические решения, приспосабливая их для реализации заданных требований.

2. Сумматоры и суммирующие устройства

2.1. Исключающее ИЛИ (узел неравнозначности, сумматор по модулю два)

x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	0

Исключающее ИЛИ - ЦУКТ с двумя входами и одним выходом. Сигнал *"1"* на выходе имеет место тогда, когда на входе действуют разные сигналы.

1) Таблица истинности:

Булевы функции: *по "1":* $y= \bar{x}_1 x_2 + x_1 \bar{x}_2 = x_1 \oplus x_2$

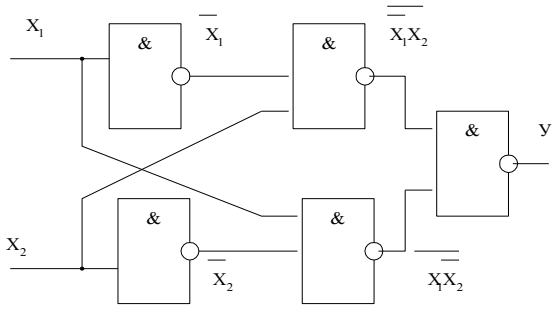
по "0": $y=(x_1+x_2)(\bar{x}_1+\bar{x}_2)$.

Приведение к виду для построения в базисе И-НЕ:

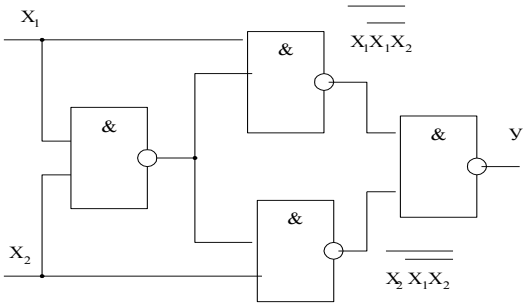
1) $y = \overline{\overline{x_1 x_2} + x_1 \overline{x_2}} = \overline{\overline{x_1 x_2}\, x_1 x_2}$

2) $y = (x_1 + x_2)\overline{(x_1 + x_2)} = x_1 \overline{x_1 x_2} + x_2 \overline{x_1 x_2} = x_1 x_1 x_2 + x_2 x_1 x_2$

Функциональные схемы:



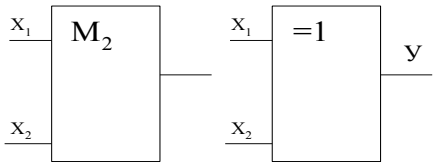
Вариант 1

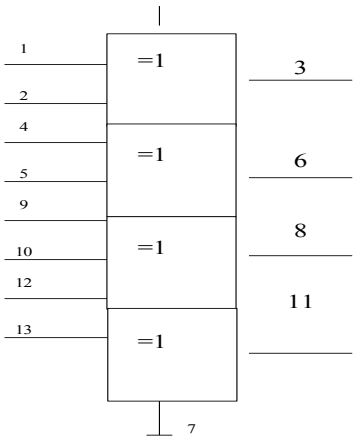


Вариант 2

Сравнивая, убеждаемся, что вариант (2) проще.

Условные обозначения:





155ЛП5 - 4 сумматора по модулю два в одном корпусе.

2.2. Полусумматор - узел для сложения двух одноразрядных чисел

X_1	X_2	S	P
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Имеет два входа X1 и X2 - слагаемые, и два выхода: сумма S и перенос P.

Таблица истинности:

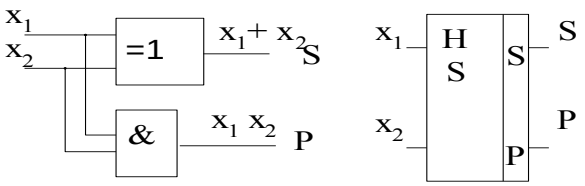
Булевы функции:

$S=(X_1+X_2)(\bar{X}_1+\bar{X}_2)$ - такие же, как в исключающем ИЛИ.

$P=X_1X_2$

:

HS - half sum-полусумма.

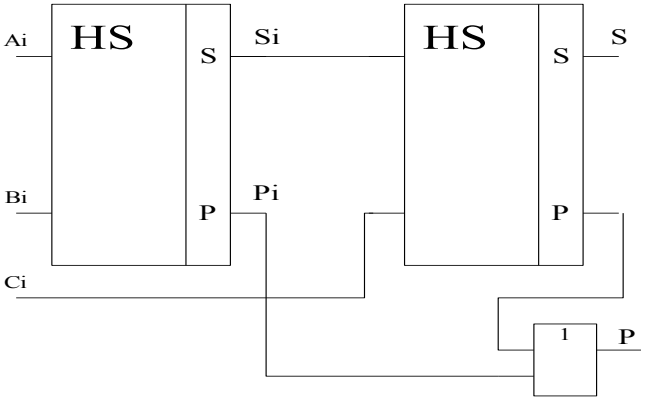


2.3. Полный сумматор - узел для сложения трех одноразрядных чисел

С такой задачей приходится сталкиваться при сложении двух много разрядных чисел, когда в качестве третьего слагаемого выступает перенос из предыдущего разряда.

Этот узел можно представить как объединение двух полусумматоров:

```
  1 1 1    C       перенос в старший разряд
+ 0 1 1 1  A    первое число
  0 1 0 1  B    второе число
-----------
= 1 1 0 0        результат суммирования
```



Первый полусумматор служит для сложения двух чисел, принадлежащих одному разряду (Ai+Bi) и обеспечивает выход промежуточной суммы Si и переноса Pi.

Второй полусумматор складывает перенос Ci предыдущего разряда с промежуточной суммой (Si+Ci).

Составив таблицу истинности, записав булевы функции и произведя их минимизацию, на основании структурных формул (*), можно построить функциональную схему полного сумматора на ЛЭ И-ИЛИ-НЕ и инверторах.

$$S=\bar{A}\bar{B}C+A\bar{B}\bar{C}+\bar{A}B\bar{C}+ABC,$$

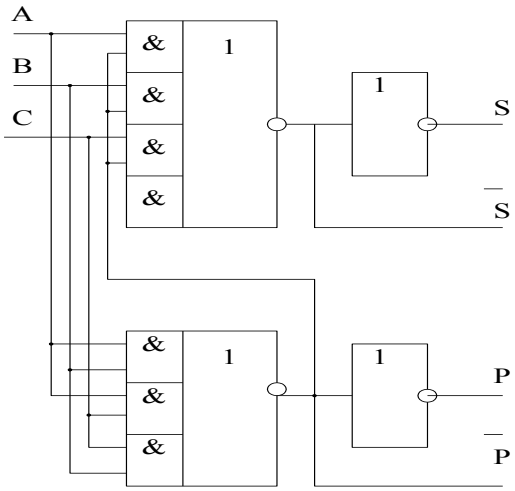
$$P=\bar{A}BC+A\bar{B}C+AB\bar{C}+ABC$$

$$S=ABC+P(A+B+C)=ABC+PA+PB+PC,$$

$$P=AB+BC+AC$$

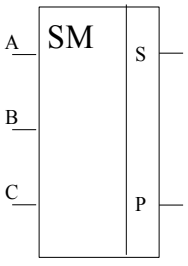
$$S=ABC+PA+PB+PC$$

$$P=AB+BC+AC$$



Подобная логическая структура полного сумматора используется в МС К155ИМ1.

Условное обозначение полного сумматора:



№ наб.	A	B	C	S	P
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

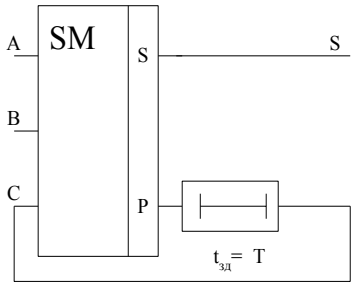
2.4. Суммирующее устройство последовательного действия.

Слагаемые A и B в виде последовательностей импульсов синхронно, разряд за разрядом вводятся в сумматор через входы A и B, начиная с младшего разряда.

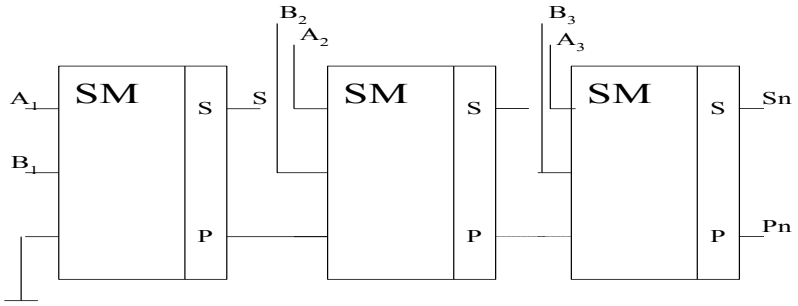
Цепь задержки обеспечивает хранение переноса в очередной разряд на время одного такта, т.е. до прихода следующего разряда, с которым он будет просуммирован. В качестве цепи задержки можно использовать D-триггер.

Преимущество - малые аппаратные затраты.

Недостаток - низкое быстродействие, т.к. одновременно суммируется лишь пара слагаемых.



2.5. Суммирующее устройство параллельного действия с последовательным переносом



Число сумматоров равно числу разрядов слагаемых. Слагаемые Ai и Bi складываются во всех разрядах одновременно, а перенос P поступает с окончанием операции сложения в предыдущем разряде. Быстродействие ограничено задержкой переноса младшего разряда последовательно по всей системе. Время

переноса можно уменьшить, вводя параллельный перенос, для чего применяют специальные узлы - блоки ускоренного (сквозного) переноса (БУП).

К155ИМ2 - двухразрядное суммирующее устройство.

К155ИМ3 564ИМ1 четырехразрядное суммирующее устройство.

3. Шифраторы

Шифратор (кодер) - комбинационный узел с *m* входами и *n* выходами. При подаче *"1"* на один из входов, на выходе образуется соответствующий *n*-разрядный код. Максимальное количество входов: $m_{max} = 2^n$.

Таблица истинности для 3 разрядного шифратора, формирующего двоичный код:

x_1	x_2	x_3	x_4	x_5	x_6	x_7	y_3	y_2	y_1
1	0	0	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	1	1
0	0	0	1	0	0	0	1	0	0
0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	1	1	1	1

(вход x_0 не делается, т.к. выходной код *000* имеет место, когда все $x_i=0$).

На основании таблицы можно записать, очевидно, систему булевых функций, описывающих работу шифратора:

$$y_1 = x_1 + x_3 + x_5 + x_7$$

$$y_2 = x_2 + x_3 + x_6 + x_7$$

$$y_3 = x_4 + x_5 + x_6 + x_7$$

(Эти функции могут быть получены и регулярным способом, записывая в СДНФ и произведя минимизацию с учетом факультативных условий, число которых в рассматриваемом случае 121).

Функциональная схема шифратора, реализующая эти функции, представлена на рис. 1

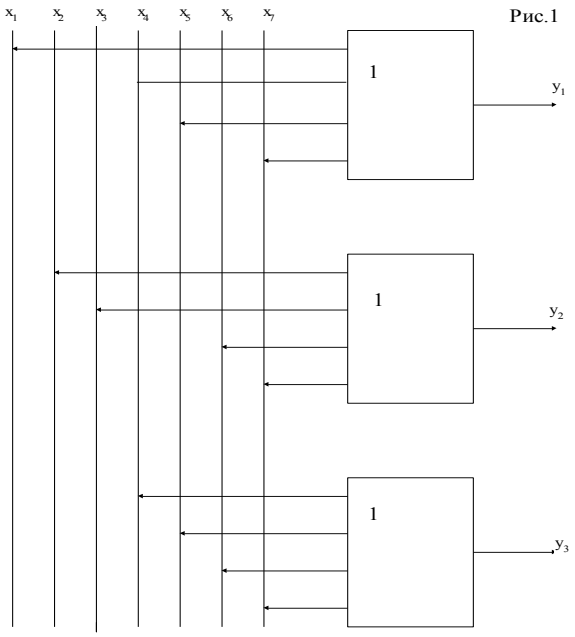


Рис.1

Для реализации шифратора в базисе И-НЕ преобразуем булевы функции, пользуясь теоремой Де-Моргана

$$y_1 = \overline{\overline{x_1 + x_3 + x_5 + x_7}} \qquad y_1 = \overline{\overline{x_1}\,\overline{x_3}\,\overline{x_5}\,\overline{x_7}}$$

$$y_2 = \overline{\overline{x_2 + x_3 + x_6 + x_7}} \qquad y_2 = \overline{\overline{x_2}\,\overline{x_3}\,\overline{x_6}\,\overline{x_7}}$$

$$y_3 = \overline{\overline{x_4 + x_5 + x_6 + x_7}} \qquad y_3 = \overline{\overline{x_4}\,\overline{x_5}\,\overline{x_6}\,\overline{x_7}}$$

Функциональная схема шифратора на ЛЭ И-НЕ приведена на рис.2. Условное обозначение представлено на рис.3.

Формирование заданного кода, как правило, задача частная. Поэтому шифраторы в виде отдельных микросхем выпускаются крайне редко.

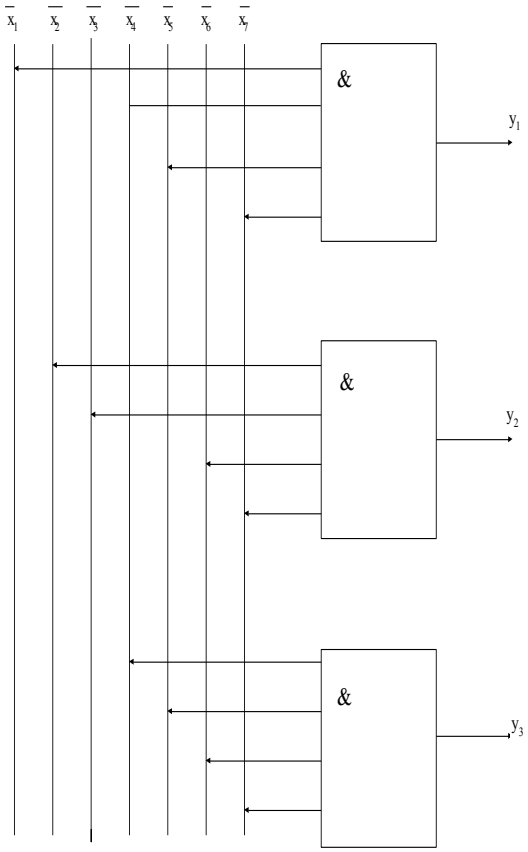


Рис.2

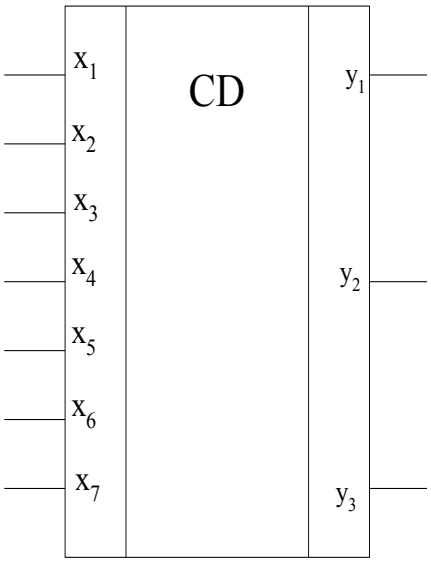


Рис.3

4. Дешиф- раторы

Дешифратор (декодер) - комбинационный узел, преобразующий *m*-разрядный параллельный код, подаваемый на вход дешифратора, в сигнал *"1"* на одном из *n* его выходах. Максимальное число выходов: $n_{max} = 2^m$.

Дешифратор с максимальным числом выходов, обеспечивающий преобразование полного набора входных кодовых комбинаций, называется *полным дешифратором*. Дешифратор, преобразующий лишь часть кодовых комбинаций, называется *неполным дешифратором*.

Составим таблицу истинности

Из таблицы можно записать систему булевых функций:

$y_0 = \bar{x}_1 \bar{x}_2 \bar{x}_3$, $y_2 = \bar{x}_1 x_2 \bar{x}_3$,

$y_1 = \bar{x}_1 \bar{x}_2 x_3$, $y_4 = x_1 x_2 \bar{x}_3$,

$y_3 = \bar{x}_1 x_2 x_3$, $y_6 = x_1 x_2 \bar{x}_3$,

$y_5 = x_1 \bar{x}_2 x_3$, $y_7 = x_1 x_2 x_3$.

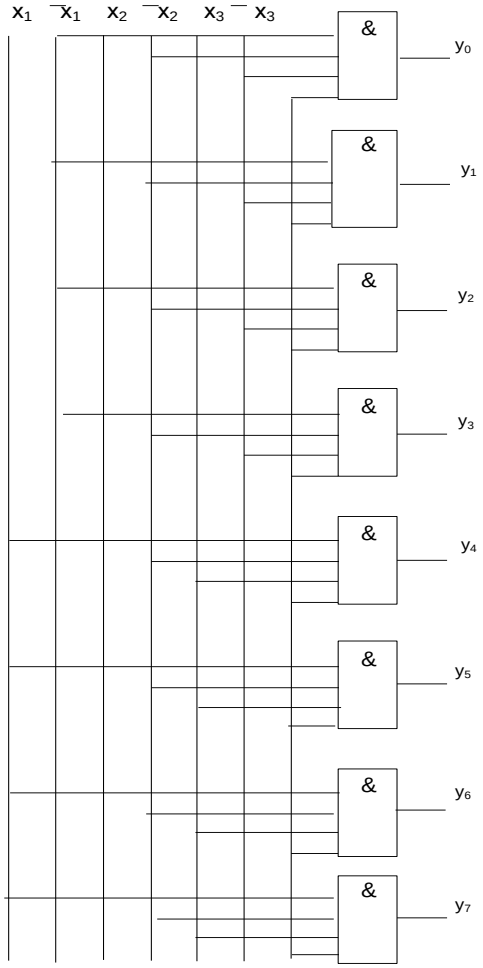
x_1	x_2	x_3	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

Функциональная схема полного трехразрядного дешифратора на ЛЭ И приведена на рис. 4.

Пунктиром отмечена возможность стробирования, исключающая появление ложных сигналов на выходах дешифратора во время смены кодовых комбинаций на его входе.

Приведя с помощью теоремы Де Моргана булевы функции к виду, удобному для реализации на ЛЭ ИЛИ-НЕ, можно построить функциональную схему дешифратора так, как показано на (рис. 5) Здесь также может быть предусмотрено стробирование, только сигнал стробирования соответствует уровню логического нуля. Для уменьшения числа входов в МС дешифраторов в них подаются

только переменные x_i, а их инверсия осуществляется внутри самой микросхемы с помощью двух инверторов. Этим обеспечивается также одинаковая для всех входов единичная нагрузка.



Условное обозначение дешифратора изображено на рис. 6.

Рассмотренные дешифраторы получили название линейных или одноступенчатых - процесс преобразования осуществляется одной ступенью ЛЭ. Такие дешифраторы выпускаются в виде отдельных микросхем например:

К155ИД1-4-х разрядный неполный дешифратор для управления газоразрядными индикаторами (4х10);

564ИД1- 4-х разрядный неполный дешифратор;

К500ИД161- 3-х разрядный полый дешифратор.