

## **Лабораторная работа № 4. Исследование работы триггера.**

**Цель работы:** изучение принципов функционирования простейшего конечного автомата.

**Постановка задачи.** На примере простейшей ячейки асинхронного RS-триггера и двух синхронных триггеров, D-триггера и JK-триггера, изучить назначение входов и принципы функционирования устройства. Для этого в пакете **Quartus15** записать программы функционирования устройств на языке Verilog HDL, а затем построить временные диаграммы.

**Рекомендуемые интервалы времени:**

**RS-триггер:** *s* – 80 нс с начальным уровнем 1, *r* – 50нс с начальным уровнем 0.

**D – триггер:** для сигналов синхронизации – 20нс, информационного **D**-входа – 90нс с начальным уровнем 1, для *s* – входа при базовом уровне 1 короткий 0 от 110 до 130 нс, для *r* – входа при базовом уровне 1 короткий 0 от 270 до 290 нс.

**JK – триггер:** для сигналов синхронизации – 20нс, информационных **JK**-входов **J**– 110нс с начальным уровнем 1 и **K** - 70 нс с начальным уровнем 0, , для *s* – входа при базовом уровне 1 короткий 0 от 150 до 170 нс, для *r* – входа при базовом уровне 1 короткий 0 от 30 до 50 нс.

.

### **Порядок выполнения работы.**

1. Загрузить **Quartus15**, создать проект.
  2. Открыть Verilog HDL файл, записать программу 4.1, отражающую работу асинхронного RS- триггера.
  3. Сохранить файл, установить его старшим в иерархии и откомпилировать.
  4. Открыть окно симулятора. Построить диаграммы работы. Интервалы выбрать из списка рекомендованных. Зарисовать диаграммы в отчет.
  5. Открыть новый Verilog HDL файл, записать программу 4.2, отражающую работу **D – триггера**.
  6. Сохранить файл под именем модуля, установить его старшим в иерархии и откомпилировать.
  7. Открыть окно симулятора. Построить диаграммы работы. Интервалы выбрать из списка рекомендованных. Зарисовать диаграммы в отчет.
  8. Открыть новый Verilog HDL файл, записать программу 4.3, отражающую работу **JK – триггера**.
  9. Дать файлу имя и сохранить его, установить старшим в иерархии и откомпилировать.
  10. Открыть окно симулятора. Построить диаграммы работы . Интервалы выбрать из списка рекомендованных. Зарисовать диаграммы в отчет.
- При получении временных диаграмм для каждого типа триггера результаты демонстрировать преподавателю.**

Отчет должен содержать программы работы устройств , подкрепленные проверкой на временной диаграмме.

### Программа 4.1

```
module tr_rs
(input wire s,r,
output wire q,nq);
wire p,np;
assign p = !(s & np);
assign np = !(r & p);
assign q=p;
assign nq=np;
endmodule
```

### Программа 4.2

```
module tr_d
(input wire clk,d,set,res,
output wire q);
reg p;
assign q=p;
always@ (negedge set, negedge res, posedge clk)
begin
  if (!set)
    p<=1'b1;
    else if (!res)
      p<=1'b0;
    else if(clk)
      p<=d;
end
endmodule
```

### Программа 4.3

```
module tr_jk
(input wire clk, set, res, j, k,
output wire q);
reg p;
assign q=p;
always@ (negedge set, negedge res, posedge clk)
begin
  if (!set)
```

```
p<=1'b1;
  else if (!res)
    p<=1'b0;
    else if (clk)
      case ({j,k})
        2'b00: begin p<=p; end
        2'b01: begin p<=1'b0; end
        2'b10: begin p<=1'b1; end
        2'b11: begin p<=!p; end
      endcase
end
endmodule
```