

## Лабораторная работа № 6.

### Исследование счетчиков.

**Цель работы:** изучение функционирования схем синхронных счетчиков. Сравнительный анализ синхронных счетчиков.

В работе предлагаются для изучения VHDL – программы описания функционирования синхронных счетчиков: двоичного четырехразрядного реверсивного счетчика и недвоичного четырехразрядного счетчика. По диаграммам работы проверяется работа счетчиков.

### Порядок выполнения работы.

1. Создать проект, открыть VHDL - файл и записать программу 6.1, отражающую функционирование синхронного реверсивного счетчика. Откомпилировать файл.
2. Построить временные диаграммы работы счетчика, задав **интервал синхроимпульсов 20нс**.
3. Открыть новый VHDL - файл и записать программу 6.2, отражающую функционирование недвоичного счетчика.
4. Построить временные диаграммы работы счетчика, задав **интервал синхроимпульсов 20нс**.

### Программа 6.1

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity cnt4_r is
port(clk, ena, res, rev: in std_logic;
q: out std_logic_vector(3 downto 0));
end cnt4_r;
architecture arch of cnt4_r is
signal cnt: std_logic_vector(3 downto 0);
begin
process (clk,res)
begin
if (res = '0') then cnt<=(others=>'0');
elsif(rising_edge(clk)) then
if(ena = '1') then
if (rev = '0') then
```

```

        cnt <=cnt + "0001";
        elsif (rev='1') then
            cnt <=cnt - "0001";
        end if;
    end if;
end if;
end process;
q <= cnt;
end arch;

```

## Программа 6.2

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity cnt4_5 is
port(
    clk, en, res, st: in std_logic;
    q: out std_logic_vector(3 downto 0)
);
end cnt4_5;
architecture arch of cnt4_5 is
    signal cnt: std_logic_vector(3 downto 0);
begin
    process (clk,st,res,en)
    begin
        if (res = '0') then cnt<=(others=>'0');
        elsif (res = '1') then
            if (st = '0') then cnt<="0110";
                elsif(rising_edge(clk)) then
                    if(en = '1') then
                        cnt <=cnt + "0001";
                        if cnt="1011" then cnt<="0110";
                        end if;
                    end if;
                end if;
            end if;
        end if;
    end process;
    q <= cnt;
end arch;

```