

Лабораторная работа № 4. Исследование регистров.

Цель работы: знакомство с работой параллельных и последовательных регистров. Для изучения предлагаются регистры сдвига на 8 разрядов последовательный и последовательно-параллельный, а также параллельный четырехразрядный буферный регистр.

Задание на работу в лаборатории.

1. Создать проект. Открыть VHDL файл и записать **программу 4.1**, отражающую функционирование последовательного регистра на 8 разрядов. Сохранить файл, установить его старшим в иерархии и откомпилировать.
2. Пользуясь «Приложением 2», получить диаграммы при **интервалах синхроимпульса – 20нс, данные – уровень «1» на интервалах от 10нс до 50 нс и от 130нс до 200нс.**
3. Открыть новый VHDL файл и записать **программу 4.2**, отражающую функционирование последовательно-параллельного регистра на 8 разрядов. Сохранить файл под новым именем, установить его старшим в иерархии и откомпилировать.
4. Получить временные диаграммы для последовательно-параллельного регистра, задав параметры по п.2.
5. Открыть новый VHDL файл и записать **программу 4.3**, отражающую функционирование параллельного регистра на 4 разряда. Сохранить файл под новым именем, установить его старшим в иерархии и откомпилировать.
6. Получить диаграмму работы устройства при следующих параметрах: **синхронизация – 20нс; данные – D0,D2 – 35нс, D1,D3 – 50нс; ena – 170нс; ctrl – 200нс.**

Отчет должен содержать программы работы исследуемых устройств и их временные диаграммы.

Программа 4.1

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity regsdv is
port(clk,d_in:in std_logic;
      d_out:out std_logic);
end regsdv;
```

```

architecture bb of regsdv is
signal shift: std_logic_vector (6 downto 0);
begin
process (clk)
variable i: integer range 7 downto 0;
begin
if(rising_edge(clk)) then
                shift(0)<=d_in;
                for i in 1 to 6 loop
                shift(i)<=shift(i-1);
                end loop;
                d_out<=shift(6);

end if;
end process;
end bb;

```

Программа 4.2

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_unsigned.all;

entity regsdv1 is
port(clk,d_in:in std_logic;
                d_out:out std_logic_vector (7 downto 0));
end regsdv1;
architecture bb of regsdv1 is
signal shift: std_logic_vector (7 downto 0);
begin
process (clk)
variable i: integer range 7 downto 0;
begin

if(rising_edge(clk)) then
                shift(0)<=d_in;
                for i in 1 to 7 loop
                shift(i)<=shift(i-1);
                end loop;

end if;
end process;
d_out<=shift;
end bb;

```

Программа 4.3

```
library ieee;
use ieee.std_logic_1164.all;

entity reg4 is
port(
data_i: in std_logic_vector(3 downto 0);
clk_i: in std_logic;
ena : in std_logic;
ctrl : in std_logic;
data_out: out std_logic_vector(3 downto 0)
);
end reg4;
architecture arch of reg4 is
signal regist: std_logic_vector(3 downto 0);
begin
process (clk_i)
begin
if(rising_edge(clk_i)) then
if(ena ='1') then
regist <= data_i;
end if;
end if;
end process;
data_out <= regist when ctrl = '1' else "ZZZZ";
end arch;
```