



Вычислительная и микропроцессорная техника

## M25 РЕГИСТРЫ

ъыъ.рф/ъауЕ

### Цель работы

Познакомиться принципами работы параллельного, последовательного, буферного регистров.

### Задание на лабораторную работу

- Создать модули регистров на языке Verilog;
- Выполнить временную симуляцию регистров согласно варианту;
- Получить RTL-схемы.

### Выполнение работы

1. Создайте проект. Путь **/VMT/Lab25/** название **Lab25**.

#### Параллельный регистр

2. Создайте файл типа *Verilog HDL*. Сохраните под именем *par\_reg4.v*.
3. Запрограммируйте параллельный регистр на языке Verilog (входы R, S с активными нулями, информационный вход D[3:0], вход синхронизации clk, информационный выход Q[3:0]).

```
always @(posedge clk, negedge R or negedge S) begin
    //описать асинхронную логику сброса и установки
    //описать синхронную логику записи
end
```

4. Сделайте файл *par\_reg4.v* старшим в иерархии файлов. Выполните анализ и синтез проекта.
5. Изучите RTL-схему регистра.
6. Произведите функциональную симуляцию параллельного регистра (по вариантам). Систему счисления установите Hexadecimal.
7. Сохраните результаты работы от 0 до 640 нс.

#### Последовательный регистр

8. Создайте файл типа *Verilog HDL*. Сохраните под именем *seq\_reg4.v*.

9. Запрограммируйте последовательный регистр на языке Verilog (входы R, S с активными нулями, информационный вход D, вход синхронизации clk, информационный выход Q).

```
//объявить четырехразрядный регистр
always @(posedge clk, negedge R or negedge S) begin
    //описать асинхронную логику сброса и установки
    //описать сдвиг от разряда к разряду
end
//описать присвоение выводу последнего разряда
```

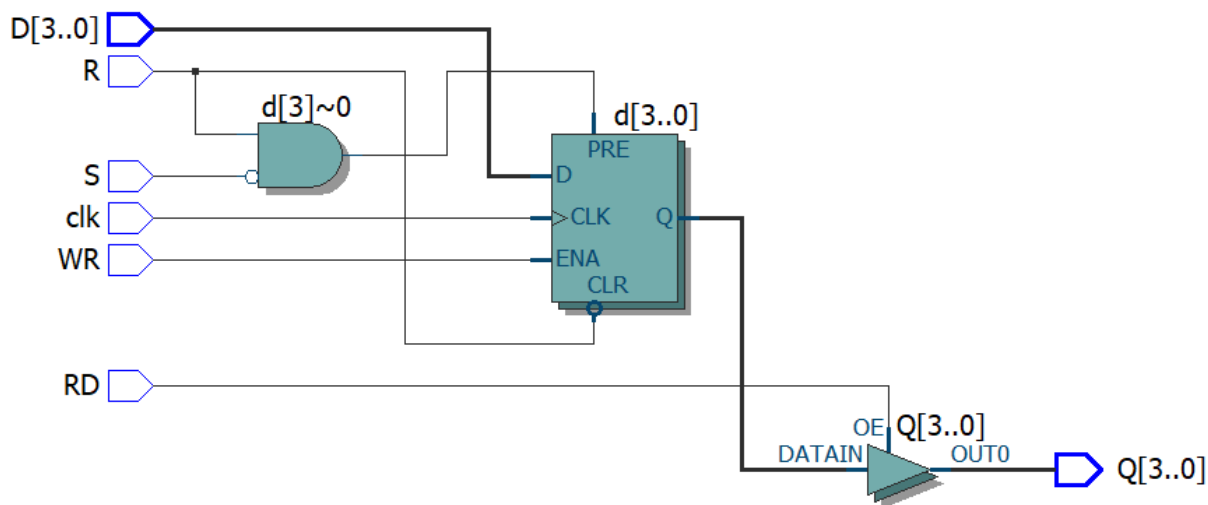
10. Сделайте файл *seq\_reg4.v* старшим в иерархии файлов. Выполните анализ и синтез проекта.
11. Изучите RTL-схему регистра.
12. Произведите функциональную симуляцию параллельного регистра (по вариантам).
13. Сохраните результаты работы от 0 до 640 нс. Рассчитайте время задержки (в тактах, в нс).

### Буферный регистр

14. Создайте файл типа *Verilog HDL*. Сохраните под именем *buf\_reg4.v*.
15. Запрограммируйте буферный регистр на языке Verilog (входы R, S с активными нулями, информационный вход D[3:0], вход синхронизации clk, вход разрешения записи WR, вход разрешения считывания RD, информационный выход Q[3:0]).

```
//объявить четырехразрядный регистр
always @(posedge clk, negedge R or negedge S) begin
    //объявить условие записи в регистр (WR)
end
//описать присвоение выводу при условии чтения (RD)
```


16. Сделайте файл *buf\_reg4.v* старшим в иерархии файлов. Выполните анализ и синтез проекта.
17. Изучите RTL-схему регистра. При верном программировании она должна выглядеть примерно так:



18. Произведите функциональную симуляцию параллельного регистра (по вариантам). Систему счисления установите Hexadecimal.
19. Сохраните результаты работы от 0 до 640 нс. На диаграмме показать режимы регистра (чтение/запись/хранение).

## Варианты симуляции

### Параллельный регистр

Сигнал синхронизации:  период 40 нс, фаза задается вариантом, коэффициент заполнения 20 %.

Входная последовательность (D) задается вариантом. Длительность одного символа входной последовательности 40 нс.

На R и S подать 1, кр. случаев из табл. ниже.

На первые 2 нс сигнала R подать 0.


	Вариант							
	1	2	3	4	5	6	7	8
Входная последовательность	C248	7054	F4C4	C7CE	91D6	A915	F474	9F37
	FB48	EF7D	E5BE	49B1	C715	DEC6	3C00	EC1C
	2231	5AAD	2A0D	1A58	E1FE	D0D6	2A79	788D
	4376	A7AE	DD3C	30E8	6531	314E	A81C	9F2C
Фаза clk, нс	38	35	32	26	27	20	24	22
R = 0, t, нс	169 - 190	136 - 188	135 - 195	139 - 193	146 - 186	158 - 195	164 - 192	136 - 190
S = 0, t, нс	308 - 363	316 - 372	323 - 362	331 - 362	313 - 362	311 - 389	302 - 388	317 - 386

	Вариант							
	9	10	11	12	13	14	15	16
Входная последовательность	9AFB	CA6A	79D1	0CD2	4896	A537	0CAC	352A
	FFAD	CBA2	C7D3	B67B	5C7C	7655	23B5	D6A7
	1C6A	38AC	034B	DE2B	97B2	74BA	5D32	EE52
	2D21	FF4E	B0BB	17E2	2CB2	3BB9	B31E	A4CB

Фаза clk, нс	23	40	38	31	21	36	40	28
R = 0, t, нс	145 - 194	150 - 200	136 - 190	159 - 182	133 - 186	147 - 188	134 - 188	159 - 181
S = 0, t, нс	321 - 372	304 - 364	302 - 384	307 - 389	303 - 374	313 - 390	304 - 372	332 - 361

	Вариант							
	17	18	19	20	21	22	23	24
Входная последовательность	D1CC	DB23	8020	D3C3	00FB	D775	A5F7	EAFC
	23E2	17E1	A7F6	114D	7CAF	210E	D320	114C
	B031	2800	53E3	228E	381E	1BB2	E2D7	DC97
	4970	71C1	F87E	D646	3494	DE14	067F	A0B9
Фаза clk, нс	21	38	20	36	23	35	31	37
R = 0, t, нс	146 - 184	155 - 181	147 - 181	160 - 192	152 - 200	167 - 181	170 - 187	133 - 189
S = 0, t, нс	318 - 390	322 - 385	314 - 363	321 - 361	305 - 362	313 - 375	339 - 398	340 - 380

### Последовательный регистр

Сигнал синхронизации:  период 40 нс, фаза 30 нс, коэффициент заполнения 20 %.

На R и S подать 1.

На вход R подать 0 от 40 до 45 нс.


Подать на вход регистра последовательность 16 бит согласно варианту.  
 Длительность одного бита принять равной 40 нс.

	Вариант							
	1	2	3	4	5	6	7	8
Входная последовательность	1000	1010	1110	1110	1000	1101	1000	1111
	1011	1010	0001	1000	0011	1001	0101	1100
	0001	0010	1011	0100	1110	1110	1110	1101
	1111	0101	1101	0001	1011	0011	1111	1011

	Вариант							
	9	10	11	12	13	14	15	16
Входная последовательность	1101	1110	1110	1111	1001	1011	1011	1101
	1011	0110	0111	0000	1110	0110	1011	0011
	1010	1101	0100	0010	0001	0111	1101	1011
	1111	0001	1001	1001	0011	0111	0111	0111

	Вариант							
	11	12	13	14	15	16	17	18
Входная последовательность	1110	1101	1101	1000	1110	1001	1000	1100
	1111	0110	0000	0111	0110	1011	1010	1010
	0010	1010	0001	0010	1001	0101	1000	0111
	0001	1101	0101	0101	0111	0101	1101	0111

## Буферный регистр

Сигнал синхронизации:  период 40 нс, фаза задается вариантом, коэффициент заполнения 20 %.

Входная последовательность (D) задается вариантом. Длительность одного символа входной последовательности 40 нс.

На R и S подать 1. На первые 2 нс сигнала R подать 0.

На WR (запись) и RD (чтение) подать 0, кр. случаев из табл. ниже.

	Вариант							
	1	2	3	4	5	6	7	8
Входная последовательность	20DB C01C 9586 0CC5	B6CA 3FF5 E425 6447	47E5 A4C2 9E62 C589	461D 56AE E3BE 6E27	EE1E 50FC CA06 111F	7EBC 95C4 76B5 1F84	0A58 7ABA 5249 2E5A	35BD A9F3 72FB FAC4
Фаза clk, нс	20	22	28	25	40	29	40	35
WR = 1, t, нс	93-292 451-529	97-318 452-501	96-299 435-512	107-285 430-539	110-286 440-513	95-313 463-502	82-297 464-509	102-296 474-511
RD = 1, t, нс	19-56; 235-394; 542-620	14-80; 207-396; 550-620	23-50; 223-404; 559-620	17-71; 230-386; 536-620	21-56; 226-413; 576-620	26-74; 224-420; 573-620	15-61; 234-420; 561-620	25-72; 200-400; 575-620

	Вариант							
	9	10	11	12	13	14	15	16
Входная последовательность	082F 96F0 9696 859A	E361 9CCE D213 F7DD	DDCF 5327 2436 4A94	7AA4 AE20 4C02 CEC3	9CFD 2C0C C9F6 39CF	C3EB 32E6 C368 5B7C	56CC 0885 3958 4247	B5D3 54F9 1559 8902
Фаза clk, нс	34	26	21	32	28	22	38	38
WR = 1, t, нс	96-281 445-500	106-307 456-518	117-296 429-525	104-284 465-539	84-314 480-508	106-284 470-539	120-300 476-510	106-309 451-504
RD = 1, t, нс	17-76; 216-402; 565-620	21-51; 231-379; 544-620	24-52; 238-392; 521-620	19-73; 213-363; 529-620	19-58; 207-400; 550-620	27-52; 232-420; 521-620	17-65; 236-383; 567-620	18-69; 220-360; 553-620

	Вариант							
	17	18	19	20	21	22	23	24
Входная последовательность	FD28 7592 A621 C959	2197 2114 3D94 FC9D	D8BE E765 6FE2 D750	D5F2 0D44 442B 84F4	D304 1011 4470 B9A2	A7ED 91E3 E321 DD0B	4679 CB17 6743 A986	F67D 0EAC A88D DE3A
Фаза clk, нс	40	35	32	22	28	36	31	23

WR = 1, t, нс	97-313 450-506	97-287 428-503	110-319 463-524	113-286 464-509	120-293 432-510	107-308 448-532	119-281 454-531	83-290 432-506
RD = 1, t, нс	17-75; 219-385; 545-620	24-80; 217-394; 552-620	11-78; 202-403; 543-620	10-66; 219-383; 538-620	29-73; 223-402; 528-620	19-58; 209-408; 570-620	15-54; 214-383; 553-620	22-56; 222-405; 568-620

## Содержание отчета

- Схемы регистров;
- Программы регистров;
- RTL-схемы регистров;
- Функциональные симуляции работы регистров.